

POLSKA AKADEMIA NAUK
KOMITET ELEKTRONIKI I TELEKOMUNIKACJI

KWARTALNIK
ELEKTRONIKI I TELEKOMUNIKACJI

ELECTRONICS AND
TELECOMMUNICATIONS
QUARTERLY

TOM 49 — ZESZYT 2

WYDAWNICTWO NAUKOWE PWN
WARSZAWA 2003

RADA REDAKCYJNA

Przewodniczący

Prof. dr hab. inż. STEFAN HAHN
czł. rzecz. PAN

Członkowie

prof. dr hab. inż. DANIEL JÓZEF BEM — czł. koresp. PAN, prof. dr hab. inż. MICHAŁ BIAŁKO — czł. rzecz. PAN, prof. dr hab. inż. JAN CHOJCAN, prof. dr hab. inż. MAREK DOMAŃSKI, prof. dr hab. inż. ANDRZEJ HAŁAS, prof. dr inż. WŁADYSŁAW MAJEWSKI, prof. dr hab. inż. JÓZEF MODELSKI, prof. dr inż. JERZY OSIOWSKI, prof. dr hab. inż. EDWARD SEDEK, prof. dr hab. inż. MICHAŁ TADEUSIEWICZ, prof. dr hab. inż. WIESŁAW WOLIŃSKI — czł. koresp. PAN, prof. dr inż. MARIAN ZIENTALSKI

REDAKCJA

Redaktor Naczelny

prof. dr hab. inż. WIESŁAW WOLIŃSKI

Zastępca Redaktora Naczelnego

doc. dr inż. KRYSTYN PLEWKO

Sekretarz Odpowiedzialny

mgr ELŻBIETA SZCZEPANIAK

ADRES REDAKCJI

00-665 Warszawa, ul. Nowowiejska 15/19 Politechnika, pok. 470
Instytut Telekomunikacji, Gmach im. prof. JANUSZA GROSZKOWSKIEGO

Dyżury Redakcji: środy i piątki, godz. 14–16
tel/fax (022) 660 77 37

Telefony domowe: Redaktora Naczelnego: 812 17 65
Zast. Red. Naczelnego: 826 83 41
Sekretarza Odpowiedzialnego: 633 92 52

WYDAWNICTWO NAUKOWE PWN SA

Warszawa, ul. Miodowa 10

Ark. wyd. 10,75	Ark. druk. 8,25	Podpisano do druku w marcu 2003 r.
Papier offset. kl. III 80 g. B-1		Druk ukończono w kwietniu 2003 r.

SKŁAD I ŁAMANIE: PHOTOTEXT, Warszawa, ul. Platynowa 4
DRUK I OPRAWA: Zakład Poligraficzny Oja Druk, ul. Sporna 2F, Warszawa

„Kwar
Quartery j
prawy Ele
Kwarta
Akademii
Kwartalni
i komunik
a także pr
czesnej el
i elektron
Autora
czeniu, a t
Artyku
kami bada
postępu d
pisanie m
Electronic
Wszys
krajowych
naukowy.
w ramach
stawianyc
Czaso
krajowych
graniczny
Každy
ułatwia p
w kraju l
artykuły v
Nades
padku spr
publikacji
bie Redak
Artyk
stronie re

Szanowni Autorzy

„Kwartalnik Elektroniki i Telekomunikacji” — Electronics and Telecommunications Quarterly jest kontynuatorem tradycji powstałego 49 lat temu kwartalnika p.t. „Rozprawy Elektrotechniczne”.

Kwartalnik jest czasopismem Komitetu Elektroniki i Telekomunikacji Polskiej Akademii Nauk. Wydawany jest przez Wydawnictwo Naukowe PWN SA w Warszawie. Kwartalnik jest czasopismem naukowym, na którego łamach są publikowane artykuły i komunikaty prezentujące wyniki oryginalnych prac teoretycznych i doświadczalnych, a także przeglądowych. Związane są one z szeroko rozumianymi dziedzinami współczesnej elektroniki, telekomunikacji, mikroelektroniki, optoelektroniki, radiotechniki i elektroniki medycznej.

Autorami publikacji są wybitni naukowcy, znani specjaliści o wieloletnim doświadczeniu, a także młodzi badacze — głównie doktoranci.

Artykuły charakteryzują się oryginalnym ujęciem zagadnienia, interesującymi wynikami badań, krytyczną oceną teorii lub metod, omówieniem aktualnego stanu, lub postępu danej gałęzi techniki oraz omówieniem perspektyw rozwojowych. Sposób pisania matematycznej części artykułów zgodny jest z wytycznymi IEC (International Electronics Commission) oraz ISO (International Organization of Standardization).

Wszystkie publikowane w Kwartalniku artykuły są recenzowane przez znanych krajowych specjalistów, co zapewnia że publikacje te są uznawane jako autorski dorobek naukowy. Opublikowanie w kwartalniku wyników prac naukowych zrealizowanych w ramach „GRANTów” Komitetu Badań Naukowych spełnia więc jeden z wymogów stawianych tym pracom.

Czasopismo dociera do wszystkich zajmujących się elektroniką i telekomunikacją krajowych ośrodków naukowych oraz technicznych, a także szeregu instytucji zagranicznych. Jest ponadto prenumerowane przez liczne grono specjalistów i biblioteki.

Każdy Autor otrzymuje bezpłatnie 20 egzemplarzy nadbitek swojego artykułu, co ułatwia przesłanie go do indywidualnych wybranych przez Autora osób i instytucji w kraju lub za granicą. Ułatwia to dodatkowo fakt, że w Kwartalniku są publikowane artykuły w języku angielskim.

Nadesłane do redakcji artykuły są publikowane w terminie około pół roku, w przypadku sprawnej współpracy Autora z Redakcją. Wytyczne dla Autorów dotyczące formy publikacji są zamieszczone w zeszytach Kwartalnika, można je także otrzymać w siedzibie Redakcji.

Artykuły można dostarczać osobiście, lub pocztą pod adresem zamieszczanym na stronie redakcyjnej w każdym zeszycie.

Redakcja

ALKO — czł.
of. dr hab. inż.
ELSKI, prof. dr
DEUSIEWICZ,
ENTALSKI

K. Wiatr:
w cz
M. Gajer
K. Wiatr:
w ul
A. Rutko
Z. Lisik:
E. Jaszcz
nych
Informac

K. Wiatr:
M. Gajer
K. Wiatr:
struc
A. Rutko
Z. Lisik:
E. Jaszcz
beha
Informati

SPIS TREŚCI

K. Wiatr: Wieloprocessorowa architektura procesorów sygnałowych dla potrzeb przetwarzania obrazów w czasie rzeczywistym	135
M. Gajer: Wybrane zagadnienie szeregowania zadań wieloprocessorowych dla dedykowanych procesorów	163
K. Wiatr: Procesory z dynamicznie programowaną przez użytkownika listą rozkazów implementowane w układach FPGA	177
A. Rutkowski: Mikrofalowe przesuwniki fazy ze strojnikami równoległymi	201
Z. Lisik: Elektronika wysokotemperaturowa	
E. Jaszczyszyn, M. Szafran, J. Modelski, E. Bobryk: Badania właściwości materiałów ferroelektrycznych w zakresie mikrofal	247
Informacje dla Autorów	257

CONTENTS

K. Wiatr: Multiprocessor architecture of digital signal processors for real-time image processing	135
M. Gajer: The chosen problems of multiprocessor task scheduling for dedicated processors	163
K. Wiatr: Processors with dynamic reconfigurable by user instructions list implemented in FPGA structures	177
A. Rutkowski: Microwave phase shifters with loading stubs	201
Z. Lisik: High temperature electronics	
E. Jaszczyszyn, M. Szafran, J. Modelski, E. Bobryk: Investigation of the ferroelectric materials behaviour in microwave band	247
Information for Authors of KEiT	260

Wie
dla p

syste
algor
specj
refer
twarz
nałow
zadań
sygna
W w
sygna
czani
rzyste
więks
połąc
odpo
w op

Słowa

Proce
sie rzeczy
wystarczy

Wieloprocessorowa architektura procesorów sygnałowych dla potrzeb przetwarzania obrazów w czasie rzeczywistym

KAZIMIERZ WIATR

*Katedra Elektroniki, Akademia Górniczo-Hutnicza w Krakowie
30-059 Kraków, al. Mickiewicza 30,
wiatr@uci.agh.edu.pl*

*Otrzymano 2002.02.21
Autoryzowano 2002.06.26*

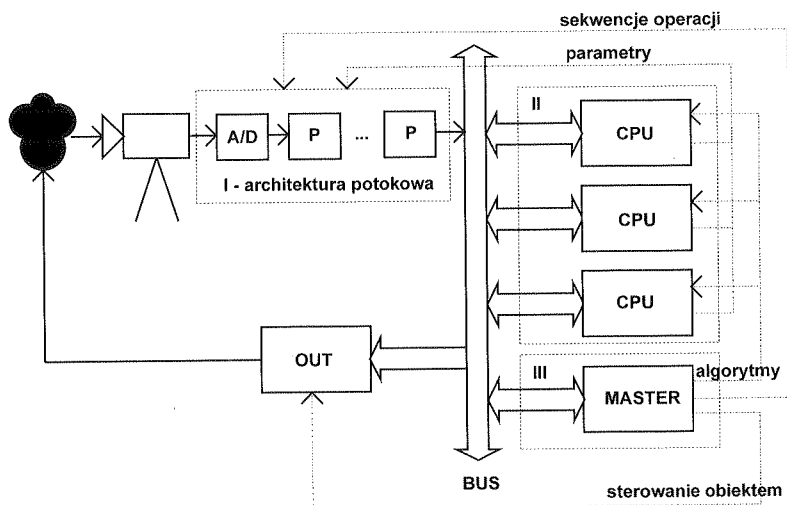
Przedmiotem prac badawczych autora są systemy wizyjne przeznaczone dla potrzeb systemów czasu rzeczywistego, w których wymagana jest bardzo szybka realizacja złożonych algorytmów przetwarzania. Ponieważ autor dysponuje wysoko wydajną architekturą potokową specjalizowanych procesorów sprzętowych do wstępnego przetwarzania obrazów, w sferze referowanych badań skupiono się na realizacji zadań średniego i wysokiego poziomu przetwarzania obrazów. W szczególności podjęto próbę ich implementacji w procesorach sygnałowych. Biorąc pod uwagę wcześniejsze doświadczenia autora w zakresie szybkiej realizacji zadań przetwarzania obrazu próbowano przyspieszyć pracę jednostek obliczeniowych (procesory sygnałowe) oraz transmisję danych wizyjnych pomiędzy nimi (architektura wieloprocessorowa). W wyniku tych prac opracowano moduł wieloprocessorowy zbudowany w oparciu o procesory sygnałowe DSP56001 firmy Motorola oraz zestaw krosownic 74ABT16863 służących do przełączania danych wizyjnych podlegających przetwarzaniu pomiędzy tymi procesorami. Pełne wykorzystanie mocy obliczeniowej procesorów, szczególnie w systemach gdzie zainstalowano ich większą liczbę, związane jest z jednej strony z maksymalnym dostosowaniem architektury ich połączeń do potrzeb realizowanego zadania obliczeniowego, z drugiej zaś z zastosowaniem odpowiednich trybów i protokołów transmisji. W szczególności podjęto próbę ich implementacji w opracowanej architekturze wieloprocessorowej procesorów sygnałowych.

Słowa kluczowe: systemy czasu rzeczywistego, przetwarzanie obrazów, architektury systemów wieloprocessorowych

1. WSTĘP

Procesy przetwarzania sygnału wizyjnego dla potrzeb systemów sterowania w czasie rzeczywistym wymagają dużych mocy obliczeniowych. Dlatego, aby im sprostać nie wystarczy budować coraz szybsze i coraz bardziej rozbudowane mikroprocesory ogólnego przeznaczenia.

nego przeznaczenia, ale należy poszukiwać metod szybkiej realizacji algorytmów przetwarzania. Autor podjął próbę poszukiwań nowych rozwiązań jakościowych, związanych z zastosowaniem specjalizowanych struktur sprzętowych do realizacji poszczególnych operacji oraz takiego ich wzajemnego skomunikowania, aby architektura taka była możliwie efektywna.



Rys. 1. Poziomy przetwarzania i analizy obrazów w systemie wizyjnym czasu rzeczywistego

Fig. 1. The levels of image processing and analysis in the real-time vision system

Na rysunku 1 przedstawiono strukturę systemu wizyjnego z wyróżnieniem jego zadań. W algorytmach przetwarzania i analizy obrazów można wyróżnić kilka poziomów przetwarzania obrazu, przy czym najczęściej przyjmuje się trzy poziomy. Najniższy poziom (I), nazywany wstępnym przetwarzaniem sygnału wizyjnego, ma na celu: eliminację zakłóceń, wydobywanie obiektu z tła, detekcję krawędzi, ustalanie poziomów szarości obiektu na podstawie histogramu, równoważenie histogramu itp. [15]. Operacje te bardzo dobrze realizowane są przez specjalizowane procesory sprzętowe zaprezentowane w [18, 19, 20], a ich efektywność obliczeniowa jest szczególnie wysoka przy zastosowaniu dedykowanej magistrali potokowej DePiAr zaprezentowanej w [21, 22, 23].

Przedstawiona na rysunku 1 struktura systemu wizyjnego ukazuje występujące sprzężenia pomiędzy różnymi poziomami systemu wizyjnego. Wyniki (II) i (III) etapu przetwarzania obrazu mogą mieć wpływ na parametry i kolejność wykonywanych operacji na (I) najniższym poziomie przetwarzania oraz na algorytmy przetwarzania na (II) poziomie. Właściwość ta jest szczególnie istotna, jeżeli do przetwarzania wstępnego (poziom I) stosujemy metody sprzętowe. W takiej sytuacji znaczną elastyczność systemu można osiągnąć poprzez stosowanie rekonfigurowalnych struktur sprzętowych (opisanych w [17]), implementowanych w układach programowalnych FPGA, o kon-

figuracji p
(ang. on l
nia.

Średn
tów, rozp
Najwyższ
obiekty, l
obrazów p
Niest
się łatwo
chnologii
wysokow
procesora
artykuł p
architektu
sazonej w
zorganiz
nim i wys

W wy
który jest
nałowych
stosowan
nałowe c
z bloków
przeznac
tury pot
zaprojekt
magistral
będzie wy

Zapr
sory sygn
magistral
wą macie
modułu c
w oparciu
MT43C4

Dwa
typu EPL

algorytmów
wych, zwią-
cji poszcze-
itektura taka

figuracji pamiętanej w wewnętrznej pamięci SRAM, pozwalające na zmianę na bieżąco (ang. *on line*) zarówno parametrów przetwarzania jak również algorytmów przetwarzania.

Średni (II) poziom przetwarzania dokonuje segmentacji obrazu, lokalizacji obiektów, rozpoznania kształtu obiektu i wyróżnienia cech charakterystycznych tego kształtu. Najwyższy (III) poziom przetwarzania to analiza złożonej sceny w sensie analizy ruchu obiektu, bieżącego sterowania obiektem oraz zadawanie parametrów przetwarzania obrazów pozostałym poziomom (I i II) itp.

Niestety, nie wszystkie operacje wyższych poziomów przetwarzania obrazów udaje się łatwo implementować w takich specjalizowanych strukturach, zrealizowanych w technologii FPGA lub VLSI. Dlatego podejmowane są prace związane z poszukiwaniem wysokowydajnych struktur wieloprocessorowych [5, 6, 7, 14, 16, 28] opartych na procesorach ogólnego przeznaczenia lub procesorach sygnałowych DSP. Niniejszy artykuł podejmuje próbę przybliżenia zagadnienia budowy takiej wysokowydajnej architektury wieloprocessorowej zbudowanej w oparciu o cztery procesory DSP i wyposażonej w mechanizm bardzo szybkiej wymiany danych wizyjnych lub innych podobnie zorganizowanych, szczególnie przydatnej do przetwarzania danych wizyjnych na średnim i wysokim poziomie przetwarzania obrazów (poziomy II i III na rys. 1).

2. ARCHITEKTURA WIELOPROCOSOROWA PROCESORÓW SYGNAŁOWYCH DSP

wistego

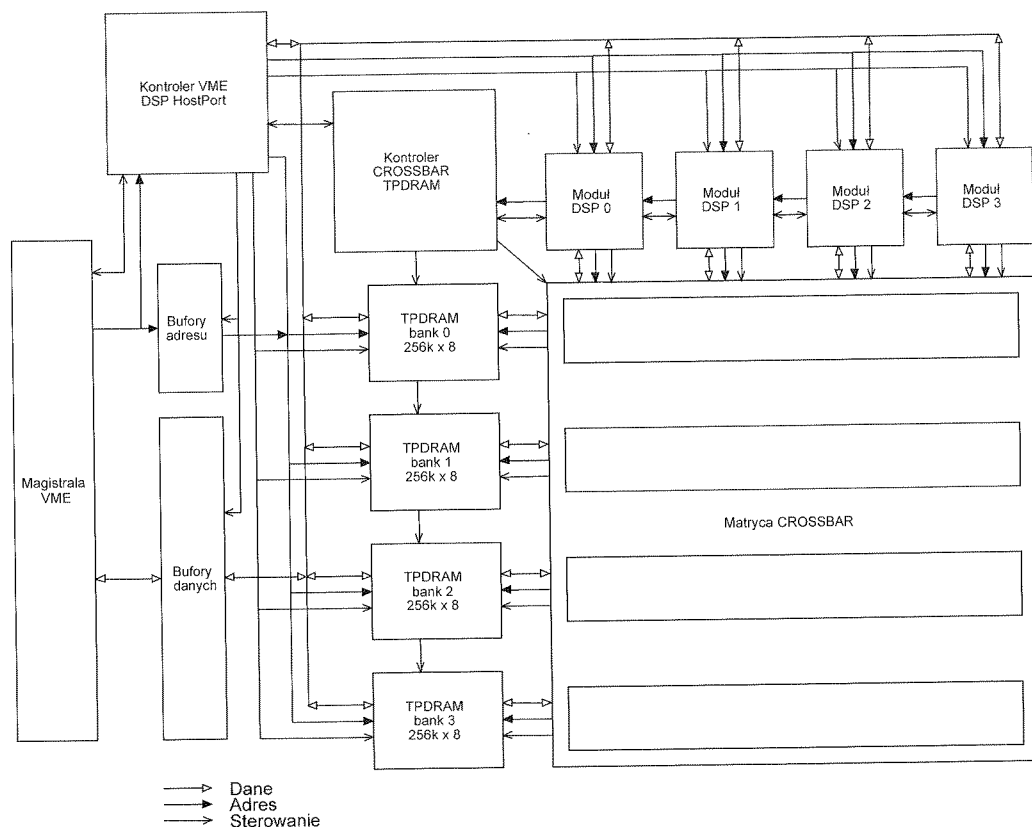
m
nieniem jego
ka poziomów
y. Najniższy
celu: elimina-
mów szarości
cje te bardzo
owane w [18,
zastosowaniu

W wyniku przeprowadzonych prac został zaprojektowany moduł wieloprocessorowy, który jest ściśle sprzężonym homogenicznym systemem opartym na procesorach sygnałowych DSP56001 firmy Motorola [4, 10, 11, 12]. Jako sieć połączeniową zastosowano architekturę typu *crossbar switch*. System zawiera cztery procesory sygnałowe dołączone poprzez matrycę *crossbar* do czterech bloków pamięci. Każdy z bloków pamięci jest zbudowany w oparciu o trójportowe pamięci DRAM. Ponieważ przeznaczeniem systemu jest praca jako dodatkowego modułu (obok modułu architektury potokowego przetwarzania obrazu opartego o magistralę VME), system został zaprojektowany jako moduł VME. Pamięć dzielona jest dostępna również od strony magistrali VME jako ciągły obszar pamięci. Dla celów przetwarzania obrazu pamięć ta będzie wykorzystywana jako bufor obrazowy.

występujące
i (III) etapu
ykonywanych
tworzenia na
ia wstępnego
elastyczność
sprzętowych
PGA, o kon-

Zaprojektowany moduł jest systemem wieloprocessorowym opartym o cztery procesory sygnałowe DSP56001 firmy Motorola komunikującym się z resztą systemu poprzez magistralę VME (rys. 2). System wykorzystuje architekturę typu CROSSBAR (krzyżową macierz połączeń) dla zapewnienia efektywnego dostępu do pamięci wspólnej modułu o pojemności 1 MB i podzielonej na cztery banki po 256KB, zbudowane w oparciu o trójportowe pamięci dynamiczne TPRAM (ang. *Triple Port dRAM*) typu MT43C4258DJ firmy Micron [9].

Dwa podstawowe kontrolery systemu oparte są na układach XC73108-15WC84C typu EPLD firmy Xilinx [25, 26, 27]. Rozproszone i krytyczne czasowo części logiki



Rys. 2. Schemat blokowy modułu architektury wieloprocessorowej procesorów DSP

Fig. 2. Block scheme of DSP multiprocessor architecture module

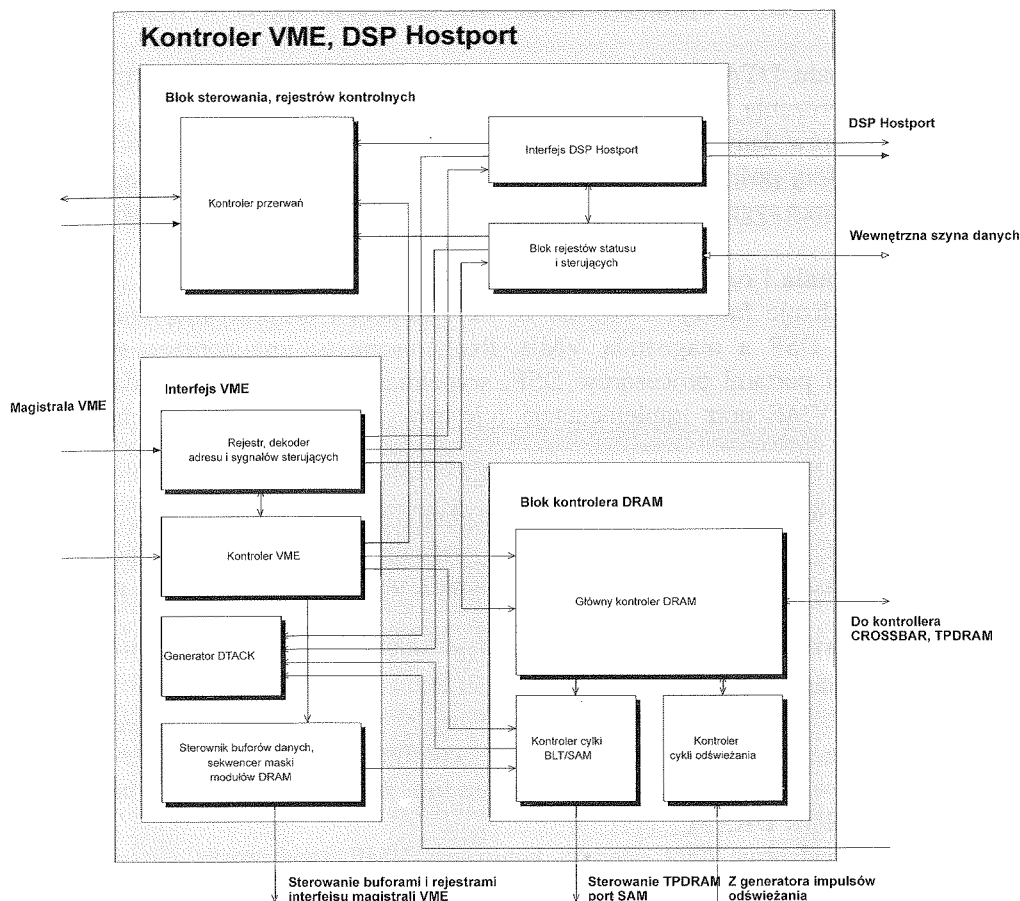
modułu wykorzystują szybsze układy PLD serii Mach111SP-7JC firmy AMD [1, 2, 3]. Matryca CROSSBAR wykorzystuje szybkie, 18-bitowe, dwukierunkowe porty trójstanowe SN74ABT16863 firmy Texas Instruments.

2. 1. KONTROLER KOMUNIKACJI Z MAGISTRALĄ VME I HOSTPORT'EM DSP

Kontroler komunikacji z magistralą VME i HostPort'em DSP odpowiada za komunikację całego systemu z magistralą VME, implementację rejestrów sterujących i statusowych płyty oraz generację żądań odświeżania pamięci DRAM. System jest widziany od strony magistrali VME jako moduł typu slave z możliwością generacji przerwań.

Blok zawiera trzy zespoły funkcjonalne (rys. 3):

- interfejs magistrali VME,
- blok sterowania i rejestrów kontrolnych,
- blok kontrolera DRAM.



Rys. 3. Struktura wewnętrzna kontrolera komunikacji z magistralą VME i HostPort'em DSP

Fig. 3. VME bus and DSP Host Port communication controller (internal structure)

Interfejs magistrali VME

Interfejs magistrali VME jest zespołem odpowiadającym za ogół zadań związanych z cyklami dostępu z poziomu magistrali VME do zasobów modułu [8, 13]. Obejmuje to dekodowanie adresu, sterowanie buforami szyny danych VME, rejestrami adresowymi, generację sygnałów aktywujących dany blok pamięci przy dostęпах VME oraz ich logicznie właściwe sekwencje wymagane w przypadku realizacji transmisji blokowej.

Interfejs magistrali VME zawiera:

- rejestr, dekodery adresów i sygnałów sterujących — wypełniające zadania dekodowania i zatrzymywania adresu oraz sygnałów sterujących np. generacji sygnałów aktywacji dla innych bloków kontrolera VME,
- kontroler VME sterujący pracą interfejsu VME — odpowiedzialny za odbiór i synchronizację sygnałów magistrali VME z zegarem systemu, kontrolę i nadzór nad

aktualnie realizowanym cyklem dostępu VME, generację sygnałów zatrzymujących adres VME,

- generator sygnału DTACK — blok zbierający i dostarczający na magistralę VME sygnały potwierdzenia gotowości innych bloków kontrolera VME,
- sterownik buforów danych, sekwencer maski modułów DRAM — generujące sygnały aktywujące bufor pośredniczący pomiędzy wewnętrzną szyną danych modułu, a magistralą VME oraz sygnały maski aktywującej odpowiednie dla danego dostępu bloki pamięci.

Blok sterowania i rejestrów kontrolnych

Blok ten realizuje funkcje związane ze sterowaniem i bezpośrednią komunikacją pomiędzy grupą DSP a magistralą VME. Realizowane to jest poprzez sterowanie specjalizowanymi portami procesorów DSP, wypełnianie funkcji bloku żądania przerwania magistrali VME oraz implementację rejestrów płyty umożliwiających kontrolę tych funkcji.

Blok sterowania i rejestrów sterujących zawiera:

- kontroler przerwania wypełniający funkcje żądania i cykli potwierdzenia przerwania magistrali VME, umożliwiający ponadto indywidualne maskowanie każdego z procesorów DSP jako źródła przerwania, jak również wybór jednego z dwu poziomów przerwania,
- interfejs DSP HostPort adresujący i generujący cykle dostępu do specjalizowanych portów komunikacyjnych procesorów DSP,
- blok rejestrów statusu i sterujących implementujący w przestrzeni adresowej modułu rejestry sterujące maskowaniem przerwania, konfiguracją poziomu przerwania oraz rejestry umożliwiające odczyt statusu — stanu linii żądań procesorów sygnałowych.

Blok kontrolera DRAM

Zespół ten nadzoruje ogół operacji kontrolera VME związanych z dostępem do pamięci oraz jej odświeżaniem. Cykle dostępu do portu DRAM pamięci są przekazywane do wykonania do kontrolera CROSSBAR, zaś generacja sygnałów sterujących portami szeregowymi pamięci niezbędna w czasie cykli transferu blokowego VME jest realizowana lokalnie.

Blok kontrolera DRAM zawiera:

- główny kontroler DRAM odpowiedzialny za arbitraż oraz generację sekwencji rozkazów dla kontrolera CROSSBAR realizujących standardowe cykle dostępu do pamięci, cykle inicjacji i finalizacji transferów blokowych do portów szeregowych pamięci oraz cykle odświeżania,
- kontroler cykli DRAM/BLT jest blokiem funkcjonalnym sterującym i pośredniczącym w transmisji blokowej pomiędzy magistralą VME, a portami szeregowymi pamięci, do którego zadań należy generacja sygnałów zegara portów pamięci oraz sygnału potwierdzenia magistrali VME,
- kontroler cykli odświeżania sterujący żądaniami cykli odświeżania przekazywanymi do głównego kontrolera i zawierający licznik wierszy pamięci DRAM — sterowany z zewnętrznego generatora oraz lokalny kontroler generujący żądania o dwu priorytetach.

Kontroler
stępnym DS
niem cykli
Można wy
• blok kor
• blok arb

Do kontrolera VME
DSP Hostport

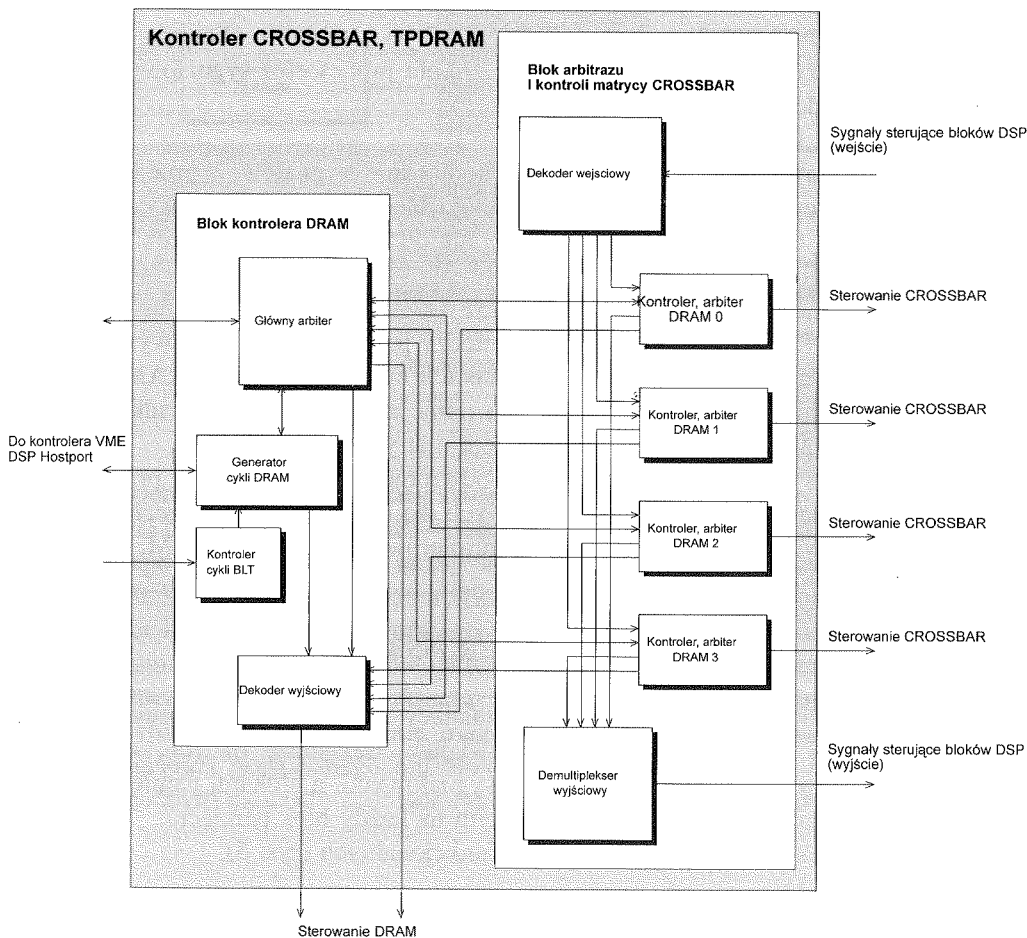
2.2. UKŁADY PRZEŁĄCZAJĄCE

2.2.1. Kontroler CROSSBAR i TPDRAM

Kontroler jest jednostką funkcjonalną realizującą ogół funkcji związanych z dostępem DSP do banków TPDRAM, sterowaniem matrycą CROSSBAR oraz realizowaniem cykli dostępu do pamięci TPDRAM.

Można wyróżnić dwa zespoły funkcjonalne kontrolera (rys. 4):

- blok kontrolera DRAM,
- blok arbitrażu i kontroli matrycy CROSSBAR.



Rys. 4. Struktura wewnętrzna kontrolera CROSSBAR i TPDRAM

Fig. 4. CROSSBAR and TPDRAM controller (internal structure)

Kontroler DRAM jest jednostką funkcjonalną realizującą żądania usługi zgłoszonej przez kontroler VME systemu.

Blok ten obejmuje następujące układy:

- zespół głównego arbitra, do którego zadań należy negocjacja dostępu do bloków pamięci pomiędzy grupą procesorów sygnałowych, a magistralą VME,
- generator cykli DRAM odpowiedzialny za generację poprawnych czasowo i logicznie sekwencji realizujących cykle dostępu do pamięci, inicjalizacji i finalizacji dostępu do portów szeregowych pamięci oraz odświeżania,
- dodatkowy kontroler cykli BLT zapewniający poprawną realizację dostępu do pamięci wymagających więcej niż jednego cyklu portu DRAM pamięci,
- dekodery wyjściowe dające możliwość komutacji i przekazywania kontroli nad sygnałami sterującymi pamięcią pomiędzy lokalnym generatorem cykli DRAM, a jego odpowiednikami w bloku arbitrażu i kontroli matrycy CROSSBAR.

Kontroler
CROSSBAR

Blok arbitrażu i kontroli matrycy CROSSBAR jest to blok realizujący ogół zadań lokalnych dla matrycy CROSSBAR oraz dla zespołu procesorów sygnałowych związanych z dostępem do pamięci.

Kontroler matrycy CROSSBAR zawiera:

- dekodery wejściowe, którego rolą jest zdekodowanie sygnałów z procesorów sygnałowych niosących informację o tym, którego bloku żądanie dostępu dotyczy oraz jakiego typu dostęp jest wymagany, a następnie dostarczenie ich do bloku kontrolera — arbitra danego bloku pamięci,
- cztery identyczne bloki kontrolera — arbitra DRAM, każdy z nich realizujący dla danego bloku DRAM funkcje arbitrażu pomiędzy procesorami sygnałowymi, wyłączenia dostępu dla żądającego tego DSP, generacji cykli dostępu do DRAM, realizacji dostępu w trybie FAST PAGE wraz z ich reinicjalizacją — w przypadku realizacji cykli dostępu VME oraz sterowania wierszem matrycy CROSSBAR,
- demultiplexer wyjściowy pełniący funkcje odwrotne do realizowanych przez dekodery wejściowe, a mianowicie generację właściwych dla każdego z DSP sygnałów kontrolnych na podstawie informacji z bloków kontrolerów — arbitrów DRAM.

2.2.2. Matryca CROSSBAR

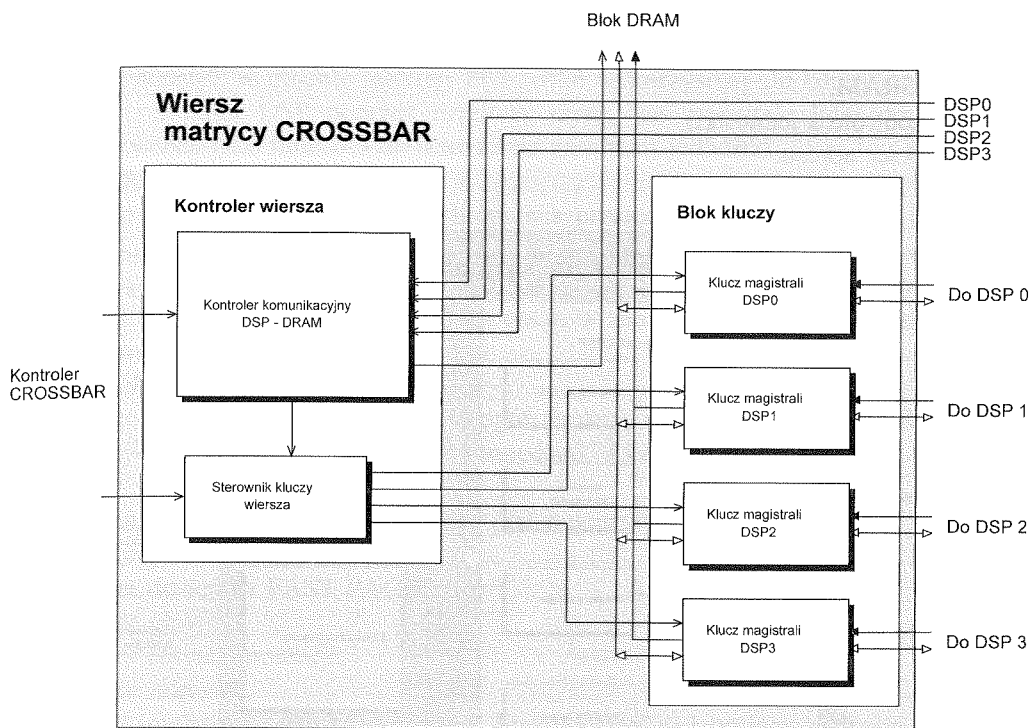
Jest to centralny element systemu zapewniający zestawienie połączenia pomiędzy modułem DSP, a bankiem pamięci umożliwiającą transmisję danych, adresu oraz sygnałów sterujących pomiędzy procesorami sygnałowymi, a blokami pamięci. Matryca zawiera cztery identyczne wiersze — po jednym na każdy blok pamięci. Każdy z wierszy składa się z dwu zespołów funkcjonalnych (rys. 5):

- kontrolera wiersza,
- bloku kluczy.

Kontroler wiersza jest to blok funkcjonalny sterujący pracą wiersza matrycy CROSSBAR. Jego zadania obejmują ogół funkcji związanych ze sterowaniem buforów wiersza oraz komutacją sygnałów sterujących pomiędzy blokiem pamięci, a procesorem sygnałowym.

Kontroler v
• kontroler
z DSP z
kowie
• sterowni
od typu
Blok k
cym połąc
wiersza m
kluczy (po

Moduł
opcjonalną
współpracę



Rys. 5. Struktura wewnętrzna wiersza matrycy CROSSBAR

Fig. 5. Internal structure of CROSSBAR matrix line

Kontroler wiersza składa się z dwu jednostek:

- kontrolera komunikacyjnego DSP — DRAM, który implementuje protokół komunikacji z DSP zapewniający redukcję liczby linii sterujących, pośredniczy i przejmuje całkowicie funkcje sterowania blokiem DRAM w przypadku dostępu typu FAST PAGE,
- sterownika kluczy wiersza sterującego bezpośrednio kluczami wiersza w zależności od typu komutowanych sygnałów (adres, dane) oraz od kierunku transmisji.

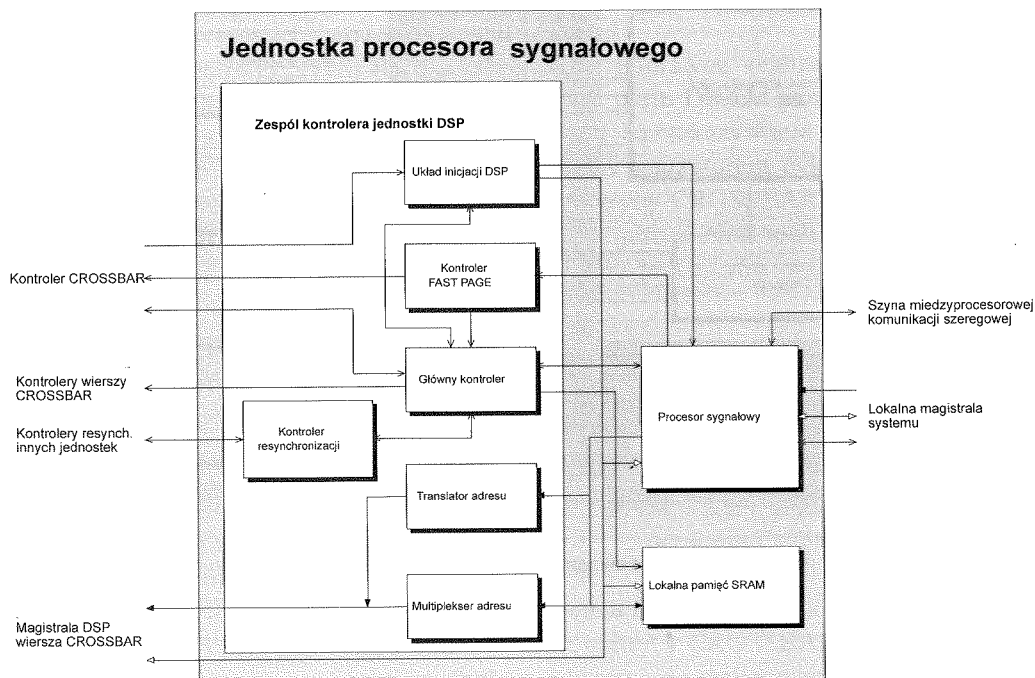
Blok kluczy jest zespołem wykonawczym wiersza matrycy CROSSBAR, realizującym połączenia pomiędzy czterema magistralami DSP, a jedną, wspólną dla danego wiersza magistralą przypisanego mu bloku pamięci. Składa się on z czterech bloków kluczy (po jednym na każdy procesor sygnałowy) zawierających podwójne bufory.

2.3. JEDNOSTKA PROCESORA SYGNAŁOWEGO DSP

Moduł zawiera cztery identyczne jednostki, każda zawierająca procesor sygnałowy, opcjonalną lokalną pamięć SRAM programu i/lub danych oraz układy zapewniające współpracę jednostki z matrycą CROSSBAR.

Jednostka procesora sygnałowego zawiera cztery podstawowe bloki (rys. 6):

- procesor sygnałowy,
- pamięć SRAM,
- zespół kontrolera jednostki,
- multiplexer adresu.



Rys. 6. Struktura wewnętrzna jednostki procesora sygnałowego

Fig. 6. Internal structure of digital signal processor unit

Procesor sygnałowy

Stałoprzecinkowy procesor sygnałowy DSP56001 jest podstawowym elementem przetwarzającym systemu [10, 11, 12]. Komunikacja procesora ze światem zewnętrznym odbywa się trzema podstawowymi drogami:

1. Port A będący przedłużeniem wewnętrznej magistrali adresowej i danych, umożliwia dołączenie zewnętrznej pamięci danych lub programu; w zaprojektowanym module jest on podstawową drogą komunikacji, zapewniającą dostęp procesora do pamięci bufora obrazowego poprzez matrycę CROSSBAR lokalnej pamięci SRAM.
2. Port B — HostPort DSP jest specjalizowanym interfejsem procesora sygnałowego przeznaczonym do współpracy z magistralą innych procesorów; w opisywanym systemie zapewnia on bezpośrednią komunikację procesora sygnałowego z magistralą VME.

5):

3. Port C jest portem komunikacji szeregowej, oddającym do dyspozycji użytkownika dwa interfejsy komunikacji szeregowej SCI (ogólnego przeznaczenia) i SSI (szybki synchroniczny); w module interfejs SCI został wykorzystany do komunikacji pomiędzy procesorami DSP poprzez dzieloną szynę, zaś pozostałe linie portu zostały wykorzystane jako linie I/O do sterowania zasobami jednostki.

Lokalna pamięć SRAM

Jest to opcjonalna, szybka, asynchroniczna pamięć SRAM, która może być wykorzystana do rozszerzenia możliwości procesora sygnałowego, poprzez efektywne powiększenie jego pamięci programu i/lub pamięci danych. Zastosowane na płycie złącze umożliwia wykorzystanie tej funkcji jako opcji, w zależności od wymagań algorytmów realizowanych przez moduł.

Zespół kontrolera jednostki

Jest to blok logiki zapewniający ogół funkcji interfejsu matrycy CROSSBAR, inicjalizacji pamięci programu DSP, translacji adresów oraz sterowania pamięcią SRAM.

Zespół kontrolera jednostki zawiera pięć podstawowych bloków:

- układ inicjalizacji DSP,
- kontroler dostępu FAST PAGE,
- kontroler główny,
- kontroler resynchronizacji,
- translator adresów.

Układ inicjalizacji DSP jest to blok funkcjonalny nadzorujący operacje zerowania i ładowania programu procesora sygnałowego. Zapewnia on skierowanie operacji ładowania programu DSP do HostPort'u procesora (Portu B) co oznacza, że jest on ładowany za pośrednictwem magistrali VME.

Kontroler dostępu FAST PAGE jest zespołem zapewniającym kontrolę i realizację protokołu dostępu procesora sygnałowego do pamięci dzielonej, realizujący operacje odczytu i zapisu bez cykli oczekiwania wraz z wyłącznością dostępu DSP do danego bloku na czas całej grupy operacji określanej jako FAST PAGE. Są to kluczowe funkcje modułu, umożliwiające realizację technik synchronizacji międzyprocesorowej takich jak np. semafony. Dodatkowym powodem wprowadzenia trybu FAST PAGE dostępu procesora do pamięci obrazu było stworzenie użytkownikowi możliwości wykorzystania maksymalnej prędkości dostępu do pamięci DRAM, bardzo ważnej dla przetwarzania obrazu na niskim poziomie. Ścieżka sygnałowa cykli dostępu typu FAST PAGE jest najbardziej krytyczną czasowo sekcją systemu.

Kontroler główny jest to blok pełniący główne funkcje sterujące jednostki takie jak generacja sygnałów sterujących interfejsem matrycy CROSSBAR, kontrola nad przesłaniami procesor — pamięć lokalna i magistrala CROSSBAR.

Kontroler resynchronizacji jest drugim co do ważności blokiem funkcjonalnym (po kontrolerze FAST PAGE) w przypadku realizacji operacji niskiego poziomu. Umożliwia on sprzętowo realizację bariery (punktu do którego musi dojść określona liczba procesorów zanim mogą one kontynuować program). Bariera (nazywana też resynchronizacją) realizowana jest sprzętowo na poziomie pojedynczych cykli magistrali DSP. Duże

znaczenie resynchronizacji wynika z faktu, że po jej wykonaniu wszystkie DSP są całkowicie zsynchronizowane. Umożliwia to, w sprzyjających warunkach, realizację algorytmu wykorzystującego pełną przepustowość systemu pamięci, poprzez całkowite uniknięcie konfliktów w dostępie do pamięci.

Translator adresu mapuje adresy generowane przez procesor sygnałowy i przekazywane do matrycy CROSSBAR, tak by wyeliminować efekt „zakrywania” adresowanego segmentu dzielonej pamięci bufora obrazowego, przez obecne w przestrzeni adresowej DSP wewnętrzne rejestry sterujące i pamięć danych.

Niewielka pamięć lokalna, wbudowana w procesory sygnałowe, może zostać rozszerzona poprzez zastosowanie zewnętrznych modułów rozszerzeń, na które przewidziano odpowiednie porty w architekturze wieloprocessorowej DSP (specjalne gniazda na płycie drukowanej modułu).

3. TRYBY TRANSMISJI W SYSTEMIE WIELOPROCESOROWYM PROCESORÓW SYGNAŁOWYCH

3.1. TRYBY PRACY I PRZESŁANIA REALIZOWANE PRZEZ SYSTEM

Podrozdział ten opisuje wszystkie typy transakcji, które zaprojektowany moduł jest w stanie przeprowadzać. Pod pojęciem transakcji rozumiany jest zespół operacji, przesłań danych, adresów czy sygnałów sterujących mający na celu wymianę informacji pomiędzy blokami funkcjonalnymi systemu. Przykładem transakcji może być odczyt słowa danych z pamięci bufora obrazu poprzez magistralę VME.

Zaimplementowano cztery grupy transakcji:

- komunikacja z magistralą VME,
- przesłania realizowane przez matrycę CROSSBAR,
- operacje lokalne jednostek DSP,
- transakcje specjalne.

3.2. TRANSAKcje KOMUNIKACJI Z MAGISTRALĄ VME

Grupa ta obejmuje ogół transakcji związanych z cyklami dostępu do zasobów modułu poprzez magistralę VME.

Pojedyncze przesłanie VME — pamięć bufora obrazu

Urządzenie inicjujące dostęp (moduł typu master) wystawia na szynie adresowej adres urządzenia, którego dostęp dotyczy, podaje odpowiedni modyfikator adresu i uaktywnia sygnały sterujące magistrali VME (AS). Następnie, w przypadku cyklu zapisu, na szynę danych magistrali wystawione zostają dane oraz uaktywnione zostają sygnały strobu danych DS1 i DS0.

Modu
adresowej
zatrzaśnię
Następnie
sygnałów
powiednio
wana jest
CROSSBA
 wcześ
i TPDRAM
z kontroler

Po od
z kontroler
trolery DR
dostęp do
priorytet.
DSP, wyc
pamięci d
dostęp wy
cyklu VM

Po ot
arbiter uak
dekoder w
cykli DRA
pedancji p
dostępu g
przypadku
sterujących
sygnalizow

Kontr
kuje na v
zakończen
wycofywa
zwalnian
dostępów
bufory dan

Trans

Analo

dostęp (m
dostęp dot
nalizuje tr
nie, w prz
oraz uakty

tkie DSP są
ch, realizacje
cz całkowite

y i przekazy-
adresowanego
ni adresowej

może zostać
które przewi-
ne gniazda na

SYM

ny moduł jest
pół operacji,
nę informacji
e być odczyt

do zasobów

nie adresowej
ikator adresu
ypadku cyklu
nione zostają

Moduł kontrolera VME dekoduje adres i jeśli zawiera się on w przestrzeni adresowej odpowiadającej pamięci bufora obrazu to generuje on sygnał sterujący zatrzaśnięciem adresu obecnego w danej chwili na szynie adresowej magistrali VME. Następnie na podstawie sygnałów strobu danych i adresów (A01, LWORD) oraz sygnałów sterujących (WRITE) ustalany jest typ i kierunek transmisji danych. Odpowiednio do tego kierunku transmisjiysterowywane są bufory danych oraz generowana jest maska dostępu modułów DRAM (cztery bity maski informują kontroler CROSSBAR i TPDRAM, których modułów pamięci będzie dotyczył dostęp). Jednocześnie z maską generowany jest właściwy rozkaz do kontrolera CROSSBAR i TPDRAM. Kontroler VME przechodzi w stan oczekiwania na sygnał potwierdzenia z kontrolera CROSSBAR o finalizacji żądania.

Po odebraniu rozkazu główny arbiter zawarty w kontrolerze CROSSBAR negocjuje z kontrolerami, arbitrami poszczególnych bloków pamięci, przejęcie kontroli. Kontrolery DRAM z kolei negocjują to żądanie z jednostkami DSP, które aktualnie realizują dostęp do pamięci. Żądanie dostępu zgłaszane przez kontroler VME ma najwyższy priorytet. Kontroler DRAM odczekuje do końca aktualnie trwającego cyklu dostępu DSP, wycofuje sygnał READY dla jednostki DSP i potwierdza zwolnienie bloku pamięci do głównego kontrolera oraz dodatkowo, w przypadku gdy przerwany został dostęp wyłączny FAST PAGE, zapamiętuje numer jednostki DSP, aby po zakończeniu cyklu VME oddać jej z powrotem sterowanie.

Po otrzymaniu potwierdzeń zwolnienia dostępu z kontrolerów DRAM główny arbiter uaktywnia sygnały sterujące buforami adresowymi i danych bloków DRAM oraz dekoduje wyjściowy sygnałów sterujących DRAM, a następnie inicjuje pracę generatora cykli DRAM. Klucze matrycy CROSSBAR są utrzymywane w stanie wysokiej impedancji przez kontrolery DRAM tak długo, jak długo utrzymywane jest żądanie dostępu głównego arbitra, co zapewnia podanie właściwego adresu i danych (w przypadku cyklu zapisu) do bloków pamięci DRAM. Właściwa sekwencja sygnałów sterujących, której źródłem jest generator cykli DRAM, realizuje cykl dostępu, co sygnalizowane jest bezpośrednio do kontrolera VME.

Kontroler VME potwierdza gotowość modułu do zakończenia cyklu dostępu i oczekuje na wycofanie sygnałów strobu danych przez moduł typu master co oznacza zakończenie dostępu. W chwili, w której sygnały strobu danych staną się nieaktywne, wycofywany jest również sygnał żądania obsługi dla kontrolera CROSSBAR, który zwalnia żądanie dostępu dla kontrolerów DRAM, które z kolei podejmują obsługę dostępu jednostek DSP. W tym samym czasie wycofywane są sygnały uaktywniające bufory danych i adresowe i cykl się kończy.

Transfer blokowy VME — pamięć bufora obrazu

Analogicznie jak w przypadku pojedynczego cyklu VME urządzenie inicjujące dostęp (moduł typu master) wystawia na szynie adresowej adres urządzenia, którego dostęp dotyczy, podaje odpowiedni modyfikator adresu, który w tym przypadku sygnalizuje transfer blokowy i uaktywnia sygnały sterujące magistrali VME (AS). Następnie, w przypadku cyklu zapisu, na szynę danych magistrali wystawione zostają dane oraz uaktywnione zostają sygnały strobu danych DS1 i DS0.

Moduł kontrolera VME dekoduje adres, steruje rejestrami adresowymi, ustala kierunek i typ transmisji, sterując buforami danych oraz generując maskę. Rozpoznając tryb dostępu blokowego, w zależności od kierunku transmisji, wysyła on rozkaz inicjacji transferu blokowego do kontrolera CROSSBAR i przechodzi w stan oczekiwania na sygnał potwierdzenia wykonania usługi. Następuje etap negocjacji pomiędzy arbitrami, mający na celu uzyskanie dostępu do bloków DRAM, analogiczny jak w przypadku poprzedniej transakcji.

Uzyskanie potwierdzenia zwolnienia dostępu jest sygnałem do rozpoczęcia cyklu i inicjacji transferu blokowego. Uaktywniane są sygnały sterujące buforami adresowymi bloków DRAM oraz dekodery wyjściowe sygnałów sterujących DRAM. Nie otwiera się buforów danych, ponieważ w operacji inicjacji cykli transferu blokowego wykorzystywany jest wyłącznie adres z rejestrów adresowych magistrali VME. Operacja inicjacji dostępu blokowego wymaga jednego (w przypadku odczytu) lub dwu (w przypadku zapisu) cykli pamięci DRAM. Rozróżnienie tych dwóch sytuacji i odpowiednie wysterowanie generatora cykli DRAM jest realizowane przez kontroler cykli DRAM. Potwierdzenie zakończenia inicjalizacji jest przekazywane do kontrolera VME.

Po odebraniu potwierdzenia wykonanej inicjalizacji cyklu transferu blokowego kontroler VME zwalnia żądanie obsługi dla kontrolera CROSSBAR. Od tej chwili oba te bloki funkcjonalne działają równolegle i niezależnie tak jak to umożliwia budowa pamięci TPD RAM. Kontroler CROSSBAR zwalnia żądania dostępu dla kontrolerów DRAM, które podejmują obsługę żądań jednostek DSP wykorzystując port DRAM pamięci. Kontroler VME aktywuje kontroler BLT/SAM, który steruje portami dostępu szeregowego do pamięci.

Następuje faza transmisji blokowej pomiędzy VME, a portem szeregowym pamięci TPD RAM poprzez bufor danych. Nie jest wykorzystywany adres, który jest z jednej strony generowany wewnętrznie w module typu master, a z drugiej strony dostarczany jest z wewnętrznych liczników pamięci DRAM. Zmiany sygnałów strobu danych oznaczające przesył kolejnego słowa danych są wykorzystywane przez zespół interfejsu VME i kontrolera VME do generacji nowego słowa maski, jak również do odpowiedniego sterowania buforami danych. Sygnały te doprowadzone są również do kontrolera cykli BLT/SAM, który generuje odpowiednie przebiegi sterujące port szeregowy pamięci oraz sygnał potwierdzenia transmisji dla magistrali VME. W przypadku zakończenia transmisji przez moduł typu master, co sygnalizowane jest przez nieaktywny stan strobów danych DS1 i DS0 oraz strobu adresu AS, w zależności od kierunku transmisji blokowej transakcja jest kończona, zgodnie z punktem 1 w przypadku odczytu z pamięci, lub też zgodnie z punktem 2 w przypadku zapisu do pamięci.

1. Kontroler VME po wycofaniu sygnałów strobu danych przez moduł typu master (co oznacza zakończenie dostępu) dezaktywuje kontroler BLT/SAM. W tym samym czasie wycofywane są sygnały uaktywniające bufor danych i adresów oraz następuje koniec transakcji.
2. W przypadku cyklu zapisu do pamięci niezbędne jest zapisanie bufora portu szeregowego pamięci do matrycy DRAM. Odbywa się to poprzez analogiczną jak w przypadku inicjalizacji transferu blokowego sekwencję operacji. Pierwszą z nich

jest wycofanie kontrolera

Następuje inicjacja CROSSBAR, pamięci generuje przesłany samą finalną wane jest d

Przesłanie

Urządzenie, urządzenie, przypadku o magistrali VME wystawione

Moduł sterujący do sterujący do przesłania, nalizujące z

Następuje moduł kontroli przeprowadz powieźdź n danych, co wycofanie :

Przesłanie

Urządzenie, kator, który obszaru rejestrów w przypadku uaktywnion

Moduł odpowiedni dołączone statusowego zapisu do potwierdzenia

W odp strobu dan i powoduje

Zgłoszenie

Źródło: ściowych s

jest wydanie przez kontroler VME rozkazu finalizacji transferu blokowego do kontrolera CROSSBAR.

Następnie odbywa się negocjacja dostępu pomiędzy głównym arbitrem kontrolera CROSSBAR, a kontrolerami poszczególnych bloków DRAM. Po uzyskaniu dostępu do pamięci generator cykli DRAM generuje sekwencję sygnałów sterujących, która powoduje przesłanie danych z bufora portu szeregowego pamięci do matrycy DRAM i tym samym finalizację transmisji blokowej do pamięci. Zakończenie tego cyklu sygnalizowane jest do kontrolera VME, który kończy całą transakcję.

Przesłanie VME — HostPort DSP

Urządzenie inicjujące dostęp (moduł typu master) wystawia na szynie adresowej adres urządzenia, którego dostęp dotyczy, podając odpowiedni modyfikator adresu, który w tym przypadku oznacza dostęp z krótkim (16-bitowym) adresem i uaktywnia sygnały sterujące magistrali VME (AS). Następnie, w przypadku cyklu zapisu, na szynę danych magistrali wystawione zostają dane oraz uaktywnione zostają sygnały strobu danych DS1 i DS0.

Moduł kontrolera VME dekoduje adres oraz ustala kierunek i typ transmisji, sterując odpowiednio buforami danych przekazuje na szynę adresową HostPort'ów adres sterujący dostępem do odpowiedniego rejestru HostPort'u DSP. W zależności od rodzaju przesłania, które może dotyczyć więcej niż jednego DSP, aktywowane są linie sygnalizujące żądanie dostępu do portów wybranych DSP.

Następuje transmisja danych: magistrala VME — HostPort'y DSP. Jednocześnie moduł kontrolera VME, po odczekaniu dwu cykli zegara niezbędnych do prawidłowego przeprowadzenia operacji, aktywuje sygnał potwierdzenia magistrali VME. W odpowiedzi na potwierdzenie urządzenie inicjujące dostęp dezaktywuje sygnały strobu danych, co jest dla kontrolera VME sygnałem zakończenia całej transakcji i powoduje wycofanie sygnałów uaktywniających buforów danych.

Przesłanie VME — grupa rejestrów sterujących i statusu

Urządzenie inicjujące dostęp adresuje moduł, podaje odpowiedni adres oraz modyfikator, który w tym przypadku oznacza dostęp z krótkim (16-bitowym) adresem do obszaru rejestrów płyty i uaktywnia sygnały sterujące magistrali VME (AS). Następnie, w przypadku cyklu zapisu, na szynę danych magistrali wystawione zostają dane oraz uaktywnione zostają sygnały strobu danych DS1 i DS0.

Moduł kontrolera VME dekoduje adres, ustala kierunek i typ transmisji sterując odpowiednio buforami danych i odpowiednio do kierunku transmisji steruje buforami dołączone do wewnętrznej magistrali modułu (w przypadku cyklu odczytu rejestru statusowego) lub zatrzymuje obecne na wewnętrznej magistrali dane (w przypadku zapisu do rejestru kontrolnego). Jednocześnie moduł kontrolera VME aktywuje sygnał potwierdzenia magistrali VME.

W odpowiedzi na potwierdzenie urządzenie inicjujące dostęp dezaktywuje sygnały strobu danych, co jest dla kontrolera VME sygnałem zakończenia całej transakcji i powoduje wycofanie sygnałów uaktywniających buforów danych.

Zgłoszenie przerwania na magistrali VME

Źródłem przerwania w zaprojektowanym module są jednostki DSP. Jeden z wyjściowych sygnałów sterujących HostPort'u DSP może sygnalizować żądanie obsługi

portu procesora. Sygnał żądania obsługi jest doprowadzony niezależnie z każdego DSP do kontrolera VME.

Jednostka DSP chcąc zgłosić przerwanie uaktywnia linię sterującą HostPort'u (np. poprzez zapis do rejestru danych odpowiednio skonfigurowanego portu).

Kontroler VME po odebraniu aktywnego sygnału żądania porównuje go z zawartością rejestru maski źródeł przerwania i jeśli bit przyporządkowany danej jednostce DSP jest ustawiony, następuje uaktywnienie przerwania magistrali VME o poziomie zależnym od stanu bitu rejestru sterującego.

Cykl potwierdzenia przerwania magistrali VME

Odpowiedzią obecnego na magistrali VME modułu obsługi przerwania na zgłoszone przerwanie jest zainicjowanie cyklu potwierdzenia. Moduł obsługi przerwania aktywuje linię IACK magistraliysterowując jednocześnie trzy najmłodsze linie adresowe A03-A01 numerem potwierdzanego przerwania i uaktywnia linię strobu adresu AS. Następnieysterowywane są linie strobu danych i linia wejściowa łańcucha przerwania IACKOUT.

Kontroler VME dekoduje stan linii sterujących i adresowych porównując go ze stanem linii zgłoszenia przerwania jednostek DSP, aktualną maską przerwania i rejestrem sterującym poziomem przerwania zgłaszanego przez moduł. Jeśli stan tych linii wskazuje na to, że cykl potwierdzenia przerwania dotyczy danego modułu, to przejmowany jest sygnał łańcucha potwierdzeń, aktywowane są bufony danych i na magistralę podawana jest zawartość 4-bitowego słowa, którego każdy z bitów odpowiada linii zgłoszenia żądania obsługi jednostki DSP oraz aktywowana jest linia potwierdzenia magistrali VME DTACK.

W odpowiedzi na sygnał potwierdzenia moduł obsługi przerwania dezaktywuje sygnały strobów adresu AS i danych DS1 i DS0, co jest dla kontrolera VME sygnałem zakończenia transakcji.

3.3. TRANSAKcje REALIZOWANE PRZEZ MATRYCĘ CROSSBAR

Grupa ta obejmuje tryby komutacji realizowane przez matrycę CROSSBAR w przypadku dostępu procesora sygnałowego do bloku pamięci bufora obrazu.

Standardowy dostęp pojedynczy

Jednostka DSP zgłasza żądanie dostępu do bloku pamięci wystawiając na liniach adresowych numer żadanego bloku iysterowując linie sterujące zgłaszające do kontrolera CROSSBAR aktywne żądanie dostępu.

Kontroler CROSSBAR przeprowadza arbitraż w przypadku, gdy w danym cyklu więcej niż jedna jednostka DSP zgłosiła żądanie dostępu do danego bloku pamięci. Na ich podstawie kontrolerysterowuje linię gotowości READY jednostki DSP, której przyznano dostęp i aktywuje sygnał sterujący podawany do kontrolera wiersza matrycy CROSSBAR. Wówczas kontroler wiersza matrycy CROSSBAR uaktywnia odpowiednie dla danej jednostki bufony adresowe i danych.

W następnej kolejności generator cykli DRAM, wchodzący w skład arbitra kontrolera bloku DRAM, którego bieżący dostęp dotyczy, aktywuje linię sterującą RAS

pamięci, za-
sygnałem, kt-
je podanie
kontrolera w-
niu z sygnał-
jest do gener-
cych buforan-
dostępowi do
zapisywane s-

Kontroler
procesor sygn-
bufory adres-
transakcję.

Wyłączenie

Dostęp w
pamięci. Róż-
PAGE nie je-
przyznaniu d-
żądanie trybu
niepodzielnoś-
przeprowadzo-
RAS jest prz-
możliwe jest
znacząco niżs-
nia.

Jednostka
adresowych
kontrolera CR-
zapamiętywana

Kontroler
jednostka DS1
wysterowuje l-
nia także sygn-
z kolei uaktyw-

W następ-
trolera bloku
pamięci, zatr-
sygnałem, któr-
szyne adresow-

Sygnał R-
opóźniany o
pochodzącymi
kującego adres-

każdego DSP

ostPort'u (np.

go z zawarto-
jednostce DSP
zależ-

na zgłoszone
wań aktywuje
adresowe A03-
AS. Następnie
i IACKOUT.

wnując go ze
ań i rejestrem
i linii wskazu-
ejmowany jest
rałę podawana
nii zgłoszenia
nia magistrali

dezaktywuje
ME sygnałem

SBAR w przy-

ając na liniach
zgłaszające do

y danym cyklu
tu pamięci. Na
ki DSP, której
iersza matrycy
a odpowiednie

d arbitra kont-
sterującą RAS

pamięci, zatrzymując podany z jednostki DSP adres wiersza. Następnie steruje on sygnałem, który przełącza multiplexer adresowy zawarty w jednostce DSP, co powoduje podanie na szynę adresową adresu kolumny. Sygnał RAS, podany również do kontrolera wiersza matrycy CROSSBAR, jest opóźniany o dwa takty zegara i w połączeniu z sygnałami sterującymi dostępem, pochodzącymi z jednostki DSP, wykorzystany jest do generacji sygnału CAS, zatrzymującego adres kolumny oraz sygnałów sterujących buforami wyjściowymi pamięci. Moment zatrzaśnięcia kolumny jest równoważny dostępowi do pamięci — odczytywane dane pojawiają się na magistrali danych, a dane zapisywane są przepisywane do pamięci.

Kontroler CROSSBAR odczekuje kolejne dwa cykle zegarowe, w ciągu których procesor sygnałowy zatrzymuje dane odczytywane z pamięci, a następnie dezaktywuje bufor adresowy i danych klucza matrycy CROSSBAR, kończąc w ten sposób całą transakcję.

Wyłączny dostęp w trybie FAST PAGE

Dostęp w trybie FAST PAGE rozpoczyna się identycznie jak pojedynczy dostęp do pamięci. Różnica pomiędzy tymi dwoma trybami polega na tym, że w trybie FAST PAGE nie jest przeprowadzany arbitraż dla danego bloku pamięci tak długo, jak po przyznaniu dostępu linia sterująca jednostki DSP, która uzyskała dostęp i sygnalizuje żądanie trybu FAST PAGE jest utrzymywana w stanie aktywnym. Daje to gwarancję niepodzielności (z punktu widzenia innych procesorów) wszystkich cykli dostępu, przeprowadzonych gdy kontroler CROSSBAR znajduje się w tym stanie. Również linia RAS jest przez cały czas w stanie aktywnym powodując, że adresowanie pamięci możliwe jest tylko w obrębie danej kolumny. Jest to cena, jaką należy zapłacić za znacząco niższy czas dostępu umożliwiający pracę procesora DSP bez stanów oczekiwania.

Jednostka DSP zgłasza żądanie dostępu do bloku pamięci wystawiając na liniach adresowych numer żadanego bloku iysterowując linie sterujące sygnalizujące do kontrolera CROSSBAR aktywne żądanie dostępu w trybie FAST PAGE. Fakt ten jest zapamiętywany w kontrolerze FAST PAGE jednostki DSP jako rozpoczęcie transakcji.

Kontroler CROSSBAR przeprowadza arbitraż, jeśli w danym cyklu więcej niż jedna jednostka DSP zgłosiła żądanie dostępu do danego bloku pamięci i na jego podstawieysterowuje linię gotowości READY jednostki DSP, której przyznano dostęp. Uaktywnia także sygnał sterujący podawany do kontrolera wiersza matrycy CROSSBAR, który z kolei uaktywnia odpowiednie dla danej jednostki bufor danych i adresowe.

W następnej kolejności generator cykli DRAM wchodzący w skład arbitra, kontrolera bloku DRAM, którego bieżący dostęp dotyczy, uaktywnia linię sterującą RAS pamięci, zatrzymując podany z jednostki DSP adres wiersza, a następnie steruje sygnałem, który przełącza multiplexer adresowy zawarty w jednostce DSP, podając na szynę adresową adres kolumny.

Sygnał RAS podany również do kontrolera wiersza matrycy CROSSBAR jest opóźniany o dwa takty zegara i w połączeniu z sygnałami sterującymi dostępem pochodzącymi z jednostki DSP wykorzystany jest do generacji sygnału CAS, zatrzymującego adres kolumny oraz sygnałów sterujących buforami wyjściowymi pamięci.

Od tego momentu do czasu zwolnienia sygnału wymuszającego tryb FAST PAGE, wszystkie sygnały sterujące są przekazywane i generowane przez kontroler wiersza matrycy CROSSBAR z pominięciem kontrolera CROSSBAR, co jest istotnym czynnikiem redukującym opóźnienia na ścieżce krytycznych czasowo sygnałów sterujących dostęпами.

Zakończenie trybu dostępu typu FAST PAGE rozpoczyna się od wycofania przez DSP sygnału żądania dostępu typu FAST PAGE. Kontroler FAST PAGE jednostki DSP reaguje na to przekazując do głównego kontrolera jednostki sygnał informujący, że do czasu aż kontroler CROSSBAR nie zakończy bieżącej transakcji dostęp do matrycy CROSSBAR jest niemożliwy. Kontroler główny jednostki będzie zatrzymywał wszelkie cykle dostępu do matrycy CROSSBAR poprzez uaktywnienie linii WT procesora. Nieaktywny stan linii żądania jest przekazywany do kontrolera CROSSBAR.

Kontroler arbiter bloku DRAM kończy cykl dostępu FAST PAGE, zmieniając stan linii RAS pamięci na wysoki, dezaktywując sygnał READY przekazywany do jednostki DSP i przechodząc do trybu standardowego arbitrażu. Kontroler FAST PAGE jednostki DSP wykrywając zmianę stanu linii READY odblokowuje kontroler główny jednostki co kończy całą transakcję.

3.4. TRANSAKcje LOKALNE PROCESORÓW DSP

Transakcje lokalne odbywają się w ramach danej jednostki DSP lub też grupy jednostek obejmujących lokalne dostępy do pamięci SRAM jak również wzajemną synchronizację i komunikację pomiędzy procesorami.

Lokalny dostęp do pamięci SRAM

Lokalny dostęp do pamięci SRAM jest inicjowany przez procesor sygnałowy poprzez wystawienie odpowiadającej przestrzeni adresowej SRAM adresu i linii wyboru typu pamięci X/Y, PS, DS oraz uaktywnienie sygnału strobu adresu, a w następnym cyklu strobu danych.

Powyższe sygnały doprowadzone są do głównego kontrolera jednostki, który uaktywnia linie sterujące pamięci inicjując dostęp i dezaktywuje linię WT procesora, sygnalizując w ten sposób gotowość do przeprowadzenia operacji. Zastosowanie szybkich pamięci SRAM eliminuje konieczność wstawiania cykli oczekiwania. Następuje transmisja danych pomiędzy pamięcią a procesorem sygnałowym. Transakcja kończy się wycofaniem sygnałów strobu adresu i danych przez DSP powodując, że kontroler główny dezaktywuje sygnały sterujące pamięcią.

Cykl resynchronizacji jednostek DSP

Cykl resynchronizacji jednostek DSP jest przykładem sprzętowo zrealizowanego punktu synchronizacji, będącego w istocie barierą obejmującą wszystkie cztery procesory sygnałowe. Każdy z procesorów zgłasza gotowość do przeprowadzenia resynchronizacjiysterowując linię żądania, która aktywuje kontroler resynchronizacji jednostki, zgłaszając ten fakt do głównego kontrolera. Od tej chwili cykl dostępu skierowany do matrycy CROSSBAR zainicjuje resynchronizację. Cykl dostępu do matrycy CROSS-

BAR zostają wyłączany jednostek i cyklicznie, wszystkie p

Jeżeli : zawiadamia kontroler te samej chwili wania wszy

Zmiana przejście k stanowy lin

Komun

Komun w skład por rolę uzupeł procesora D rozpoznawa realizację p po rozpozn

Cykl o

Źródle

dzający w sk liwości zap cesywnymi świeżania w liczniku ko priorytetow

W przy go odśwież VME lub t go, zgłasza

Główny cykli odśw żądania ko wymagają uaktywnion Generator t

AST PAGE,
oler wiersza
otnym czyn-
sterujących

ofania przez
dnostki DSP
ujący, że do
do matrycy
wał wszelkie
T procesora.
R.

ieniając stan
do jednostki
GE jednostki
ny jednostki

b też grupy
ż wzajemną

r sygnałowy
linii wyboru
w następnym

nostki, który
T procesora,
owanie szyb-
a. Następuje
ia kończy się
że kontroler

alizowanego
ery proceso-
zenia resyn-
izacji jedno-
a skierowany
ycy CROSS-

BAR zostaje zatrzymany poprzez wystawienie sygnału WT dla procesora. Jednocześnie wyłączany jest bufor trójstanowy wymuszający stan niski na globalnej dla wszystkich jednostek linii resynchronizacji RESYNCALLREADY. Stan tej linii jest próbkowany cyklicznie, aż jego wartość zmieni się do wysokiego poziomu logicznego co oznacza, że wszystkie procesory doszły do bariery.

Jeżeli stan globalnej linii resynchronizacji jest wysoki, to kontroler synchronizacji zawiadamia główny kontroler jednostki o zakończeniu cyklu, w odpowiedzi na co kontroler ten dezaktywuje sygnał WT procesora. W istocie robią to jednocześnie w tej samej chwili kontrolery główne wszystkich jednostek DSP, co daje efekt zsynchronizowania wszystkich jednostek DSP na poziomie pojedynczego taktu zegarowego.

Zmiana stanu sygnału żądania resynchronizacji DSP na stan nieaktywny powoduje przejście kontrolera resynchronizacji do stanu początkowego, w którym bufor trójstanowy linii globalnej jest uaktywniony i oznacza koniec transakcji resynchronizacji.

Komunikacja szeregową w obrębie grupy jednostek DSP

Komunikacja szeregową w obrębie grupy jednostek DSP opiera się na wchodzącym w skład portu C procesora asynchronicznym interfejsie szeregowym. Komunikacja pełni rolę uzupełniającą i diagnostyczną w obrębie modułu. Możliwości portu szeregowego procesora DSP umożliwiają realizację dwu typów transmisji danych, z których jeden jest rozpoznawany jako propagacja adresu i może generować przerwanie. Umożliwia to realizację protokołu, w którym każdy z procesorów ma przyznany swój unikalny adres, po rozpoznaniu którego będzie odbierał i interpretował transmitowane po adresie dane.

3.5. TRANSAKCJE SPECJALNE

Cykl odświeżania pamięci

Źródłem żądań cykli odświeżania pamięci jest kontroler cykli odświeżania wchodzący w skład kontrolera VME. Sterowany jest on z zewnętrznego generatora o częstotliwości zapewniającej nieprzekroczenie maksymalnego przedziału czasu pomiędzy sukcesywnymi odświeżeniami każdego z wierszy pamięci DRAM. Impulsy żądania odświeżania wiersza, generowane przez zewnętrzny generator, są zliczane w wewnętrznym liczniku kontrolera, a ich wartość porównywana jest z dwoma progami: nisko- i wysoko-priorytetowego odświeżania.

W przypadku, gdy zawartość licznika przekroczy wartość progu nisko-priorytetowego odświeżania, a nie ma w danym momencie żądania dostępu do pamięci z magistrali VME lub też zawsze w momencie przekroczenia wartości progu wysoko-priorytetowego, zgłaszane jest żądanie odświeżania do głównego kontrolera DRAM.

Główny kontroler DRAM wysyła do kontrolera CROSSBAR żądanie generacji cykli odświeżania. Żądanie to jest aktywne tak długo, jak długo aktywny jest sygnał żądania kontrolera cykli odświeżania. Następuje teraz, znana z innych transakcji wymagających uzyskania dostępu do pamięci, faza arbitracji, po zakończeniu której uaktywniony zostaje generator cykli DRAM znajdujący się w kontrolerze CROSSBAR. Generator ten rozpoczyna ciąg cykli odświeżania CBR (CAS przed RAS — ang. CAS

Before RAS), wykorzystujących wewnętrzny licznik wierszy pamięci DRAM. Każdorazowo zakończenie cyklu odświeżania sygnalizowane jest trwającym dwa takty zegarowe impulsem przekazywanym do kontrolera VME i do kontrolera cykli odświeżania, który zmniejsza o jeden wartość swego licznika odświeżania.

W chwili, gdy zawartość licznika kontrolera cykli odświeżania zmniejszy się do zera, wycofuje on żądanie powodując, że główny kontroler również dezaktywuje swe żądanie. W odpowiedzi na to kontroler CROSSBAR przeprowadza rearbitrację i oddaje dostęp do pamięci jednostkom procesorów DSP kończąc transakcję.

Cykl zerowania i ładowania pamięci programu jednostek DSP

Cykl zerowania i ładowania pamięci programu jest inicjowany w momencie, w którym sygnał RESET podawany z kontrolera VME zostaje wycofany. Celem tej transakcji jest zainicjowanie pierwszego trybu startowego DSP i w jego rezultacie załadowanie wewnętrznej pamięci programu DSP z magistrali VME poprzez HostPort. Ponieważ sygnały wyboru trybu pracy procesora MODB i MODA są dezaktywowane przez kontroler VME jeden cykl zegara po wycofaniu sygnału RESET, to wymuszają one inicjację procesora w trybie pierwszym. W trybie tym pierwszy cykl zewnętrznej magistrali DSP jest wykorzystywany przez program *loader'a* obecny w pamięci ROM procesora do ustalenia sposobu załadowania wewnętrznej pamięci programu.

W odpowiedzi na wycofanie sygnału RESET podawanego do jednostek DSP układ inicjalizacji procesorów DSP, znajdujący się w zespole kontrolera jednostki, przechodzi w tryb oczekiwania na pierwszy dostęp DSP do pamięci programu. Stan ten sygnalizowany jest również do głównego kontrolera jednostki.

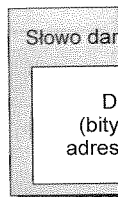
Jeżeli dostęp DSP dotyczy adresu P: \$C000 (pamięć programu) to główny kontroler nie uaktywnia sygnałów sterujących pamięci, lecz zamiast tego układ inicjacji uaktywnia bufor trójstanowy podający na bit 23 magistrali danych DSP jedynkę. Powoduje to, że program *loader'a* będzie wykorzystywał HostPort procesora do wczytania kolejnych słów programu. Następuje sekwencja zapisów zewnętrznego urządzenia obecnego na magistrali VME i dostarczającego program dla DSP do HostPort'u procesora. Sekwencja ta kończy się po przesłaniu 512 słów lub odpowiedniego kodu oznaczającego koniec ładowania programu. W odpowiedzi na to *loader* przeprowadza restart procesora, uruchamiając załadowany program, co jest końcem transakcji.

4. MAPA PAMIĘCI ARCHITEKTURY WIELOPROCESOROWEJ DSP

Ważnym elementem transmisji danych wizyjnych pomiędzy procesorami jest sposób zorganizowania pamięci przechowującej te dane. Z tego punktu widzenia należy rozróżnić pamięć bufora obrazowego, rejestry modułu zawarte w przestrzeni adresowej sprzęgu VME, rejestry kontrolne, rejestry statusowe oraz rejestry sterujące zawarte w przestrzeni adresowej jednostki DSP.

Pamięć
o pojemnoś
Umiejscowi
konfigurowa
sprzęgu VM
którym deko

Rejestr
w trybie ad
HostPort'y
bitową loka
jako osiem
procesora
rejestrów
HostPort'u



Rys. 7. Położ

Fig.

Należy
adresowan
M68k firm
Intel), nur
bajów sł

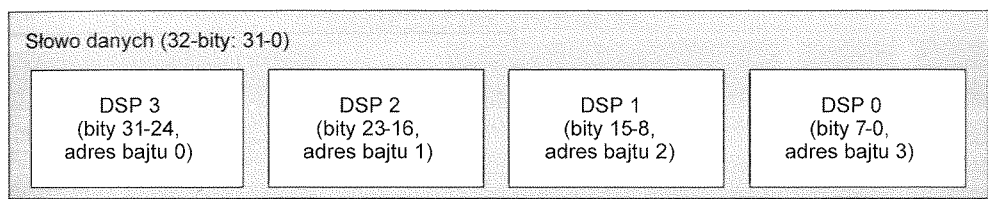
W obs
liczbę wyp
zostały zro
użyciu cyk

4.1. PAMIĘĆ BUFORA OBRAZU

Pamięć bufora obrazu widziana jest od strony magistrali VME jako ciągły obszar o pojemności 1MB dostępny w trybie rozszerzonym magistrali (32 bity adresu). Umieszczenie tego obszaru w przestrzeni adresowej magistrali VME może być konfigurowane poprzez zmianę ustawienia zworek sterujących dekoderni adresowym sprzęgu VME lub też po przez przeprogramowanie układu programowalnego PAL, na którym dekodowanie to jest zrealizowane.

4.2. REJESTRY W PRZESTRZENI ADRESOWEJ INTERFEJSU VME

Rejestry kontrolne i statusowe modułu są dostępne od strony magistrali VME w trybie adresowania krótkiego magistrali (16 bitów adresu). W obszarze tym zawarte są HostPort'y jednostek procesorów sygnałowych. Dzięki temu, że wykorzystano 32-bitową lokalną magistralę modułu, poszczególne lokacje w tym obszarze widziane są jako osiem 32-bitowych słów (w istocie jest ich siedem — jedna lokacja HostPort'u procesora DSP 56001 jest nie obsadzona). Każde takie słowo odpowiada jednemu rejestrowi HostPort'u DSP, przy czym każdy z bajtów słowa odpowiada rejestrowi HostPort'u konkretnego procesora DSP.

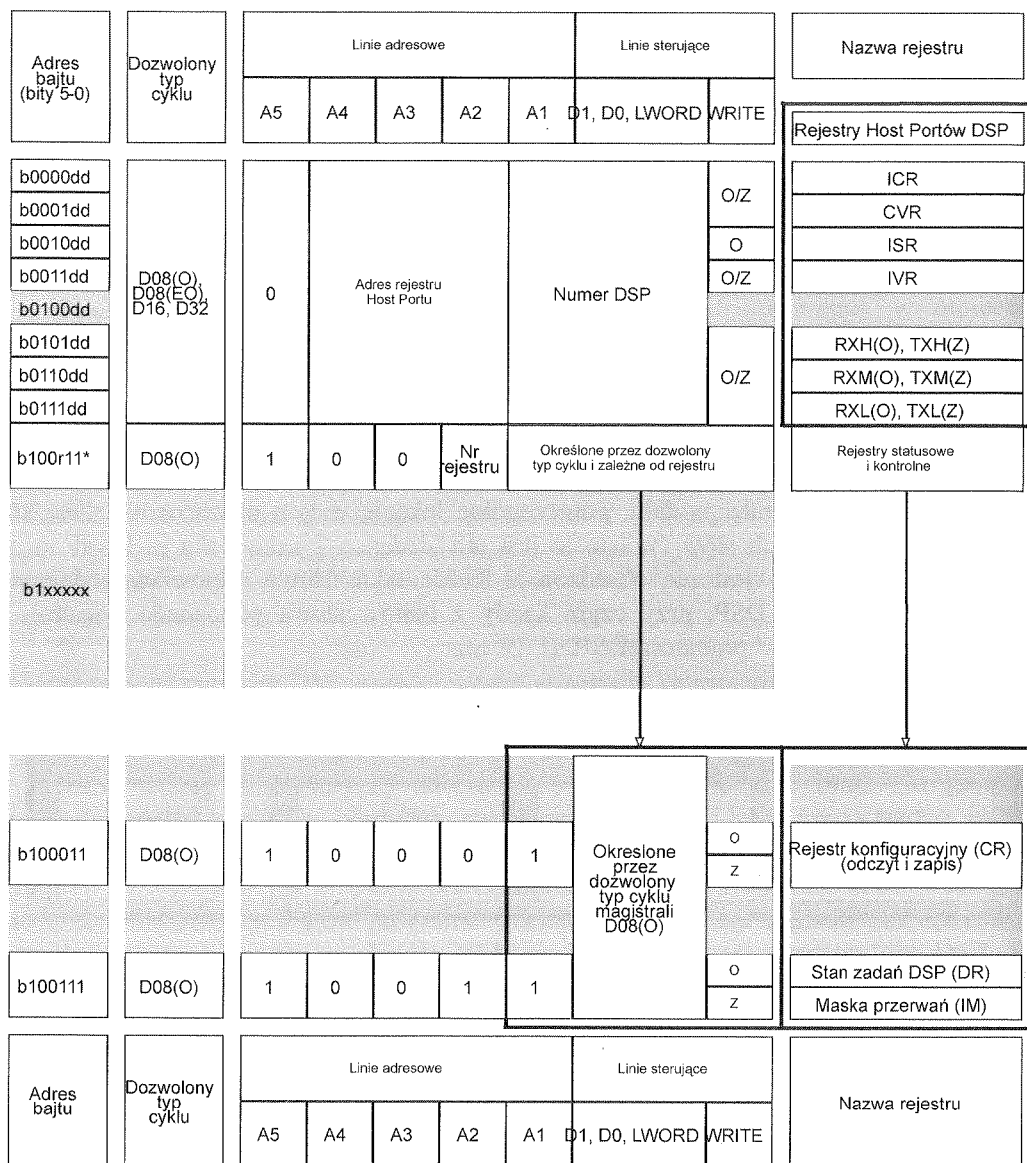


Rys. 7. Położenie słów danych HostPort'ów poszczególnych procesorów DSP w 32-bitowym słowie danych

Fig. 7. Host Ports data words position of particular DSP processors in the 32-bits data word

Należy zauważyć, że ze względu na przyjętą w magistrali VME konwencję adresowania bajtów słów wielobajtowych, zgodną z przyjętą w rodzinie procesorów M68k firmy Motorola (a odwrotną do konwencji stosowanej w procesorach firmy Intel), numery jednostek DSP są w odwrotnej kolejności w stosunku do adresów bajtów słowa.

W obszarze tym znajdują się także rejestry modułu. Ze względu na ograniczoną liczbę wyprowadzeń kontrolera VME, wszystkie rejestry kontrolne i statusowe modułu zostały zrealizowane jako 4-bitowe, zaś dostęp do nich powinien odbywać się przy użyciu cykli D08(O) magistrali (nieparzysty adres).



r - numer rejestru
 dd - numer procesora DSP
 x..x - wartość dowolna
 O - odczyt
 Z - zapis

Rys. 8. Mapa pamięci systemu od strony interfejsu VME — rejestry modułu, HostPort'y DSP

Fig. 8. System memory map addressed from VME bus (module registers and Host Ports)

Rolę r
 Register), w

— bit 0 —
 • 1 —
 • 0 (w
 — bit 1 —
 • 1 (w
 • 0 - D

Rejestr ko

Nie ob
 (k

Rolę r
 (ang. DSP
 linii żadań
 rejestru nie
 nemu żadan

Rejestr sta

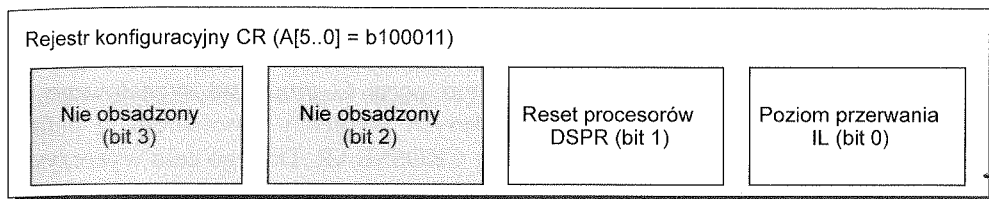
Stan lin
 D
 (k

Kolejn
 Interrupt M
 przerwań z
 dany bit je
 rejestru po

4.3. REJESTRY KONTROLNE

Rolę rejestrów kontrolnych pełni rejestr konfiguracyjny CR (ang. *Configuration Register*), w którym:

- bit 0 — IL steruje poziomem przerwania zgłaszanego przez moduł:
 - 1 — przerwanie poziom 6,
 - 0 (wartość przyjmowana po resecie) - przerwanie poziom 2
- bit 1 — DSPR steruje wejściem RESET procesorów sygnałowych:
 - 1 (wartość domyślna po resecie) - DSP RESET aktywny,
 - 0 - DSP RESET nieaktywny.

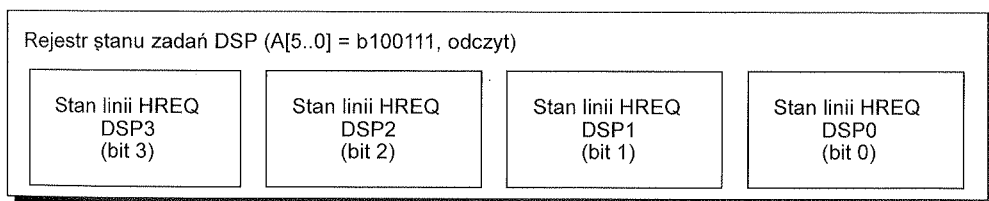


Rys. 9. Rejestr konfiguracyjny modułu CR

Fig. 9. Configuration register CR of module

4.4. REJESTRY STATUSOWE

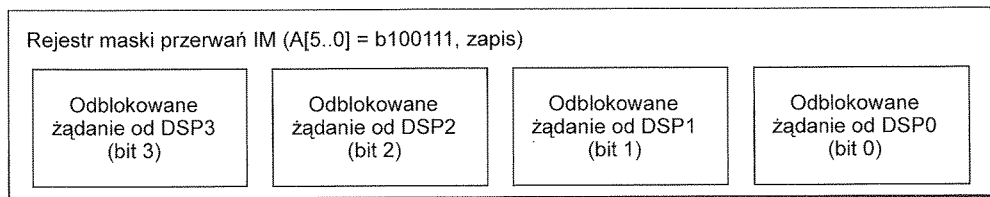
Rolę rejestrów statusowych pełni rejestr stanu żądań procesorów sygnałowych DR (ang. *DSP Requests*). Wartość poszczególnych bitów tego rejestru odpowiada stanom linii żądań obsługi REQ (ang. *Host Request*) procesorów sygnałowych — wartość rejestru nie zależy od stanu maski przerwania. Wartość bitu równa 1 odpowiada aktywnemu żądaniu obsługi (czyli niskiemu stanowi sygnału zewnętrznego HREQ procesora).



Rys. 10. Rejestr stanu żądań procesorów sygnałowych DR

Fig. 10. Requests register DR of digital signal processors

Kolejnym rejestrem statusowym jest rejestr maski przerwania modułu IM (ang. *Interrupt Mask*). Wartość bitu rejestru maski przerwania oznacza odblokowanie żądań przerwania zgłaszanych przez aktywny stan linii HREQ procesora sygnałowego, któremu dany bit jest przypisany. Wartością domyślną przyjmowaną przez każdy z bitów tego rejestru po resecie jest zero (wszystkie żądania przerwania zablokowane).



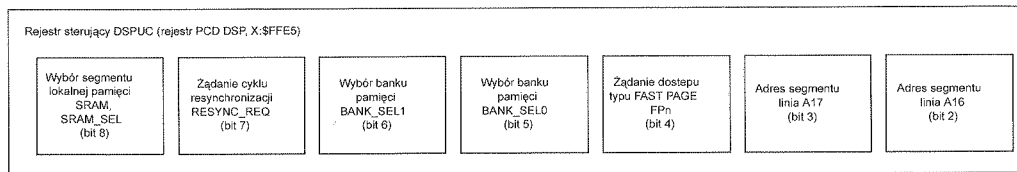
Rys. 11. Rejestr maski przerwań IM

Fig. 11. Interrupt mask register IM

4. 5. REJESTRY STERUJĄCE W PRZESTRZENI ADRESOWEJ PROCESORÓW DSP

Rejestry te odpowiadają liniom sterującym portu C procesora sygnałowego i są wykorzystywane do sterowania transmisją danych pomiędzy procesorem, a buforem pamięci obrazowej za pośrednictwem matrycy CROSSBAR. Do tego celu wykorzystane zostały sygnały PC2 do PC8 portu procesora. Linie PC0 (RXD) i PC1 (TXD) wykorzystywane są do pomocniczej komunikacji poprzez asynchroniczny interfejs szeregowy SCI procesora.

Do konfiguracji wyprowadzeń portu wykorzystywane są rejestry sterujące PCC (ang. *Port C Control register*) ulokowane pod adresem X:%FFE1 i rejestr PCDDR (ang. *Port C Data Direction Register*) ulokowany pod adresem X:%FFE3. Szczegółowy opis działania tych rejestrów zawarty jest w literaturze [13].



Rys. 12. Rejestr sterujący jednostki procesora sygnałowego DSPC

Fig. 12. Control register DSPC of digital signal processor unit

Linie wyboru segmentu danych to linie PC2 i PC3 portu, które wykorzystane zostały odpowiednio jako linie A16 i A17 adresu podawanego do matrycy CROSSBAR. Zastosowanie ich podyktowane jest faktem ograniczenia szerokości szyny adresowej procesora DSP56001 do 16 bitów, co odpowiada pamięci o rozmiarze 64KB. Ponieważ jednak jeden bank pamięci bufora obrazu zawiera 256KB, to wymaga on zastosowania 18-bitowego adresu. Linie wyboru segmentu pełnią zatem rolę dwu dodatkowych linii adresu.

Żądanie dostępu w trybie FAST PAGE następuje za pośrednictwem linii PC4 portu, która wykorzystywana jest jako sygnał żądania dostępu w trybie FAST PAGE (FPn) do pamięci bufora obrazu. Linia ta jest aktywna stanem niskim powodując, że w przypadku niewłaściwego skonfigurowania portu C jako wejścia, domyślnym typem

dostępu do
dostęp stand

Linie v
i BANK_SEL
nym dostęp
adresowej b

Żądani
która pełni
resynchroniz

Poniew
pamięci SR
dodatkowo
linia portu
jednostki, u
DSP.

Opracow
dzeniem wy
cych się du
tura modułu
sygnałowych
procesorami
Wynika to
pamięci, kro

Zastosow
transformaty
nych w [18,
potokowej p
związane ze
algorytmu w
opisano w [

Specyfi
do efektyw
dostępna dla
towania alg
w świetle c
programisty
stosowań.

Ze wzgł
architektury

dostępu do pamięci bufora obrazowego wymuszonym przez rezystor podciągający jest dostęp standardowy (nie FAST PAGE).

Linie wyboru banku pamięci to linie PC5 i PC6 portu, odpowiednio BANK_SEL1 i BANK_SEL0, które adresują bank pamięci bufora obrazowego, związanego z następnym dostępem. Są one w istocie najbardziej znaczącymi bitami adresu przestrzeni adresowej bufora.

Żądanie cyklu resynchronizacji następuje poprzez linię PC7 (RESYNC_REQ), która pełni rolę sygnału powiadamiającego kontroler jednostki DSP o żądaniu cyklu resynchronizacji.

Ponieważ w systemie przewidziano opcjonalną możliwość zastosowania lokalnej pamięci SRAM, jako modułu rozszerzeń dołączanego do magistral jednostki DSP, aby dodatkowo rozszerzyć możliwości adresowania większego bloku tej pamięci, ostatnia linia portu PC8 została wykorzystana do sterowania translatorem adresu kontrolera jednostki, umożliwiając wykorzystanie 128KB pamięci SRAM jako pamięci programu DSP.

5. PODSUMOWANIE

Opracowana architektura wieloprocessorowa procesorów DSP może zostać z powodzeniem wykorzystana do realizacji algorytmów przetwarzania obrazu charakteryzujących się dużym wewnętrznym stopniem zrównoleglenia (ang. *concurrency*). Architektura modułu umożliwia maksymalizację wykorzystania mocy obliczeniowej procesorów sygnałowych w zastosowaniach wymagających przetwarzania i przesyłania pomiędzy procesorami dużych ilości danych obrazowych lub innych podobnie zorganizowanych. Wynika to zarówno z zastosowanych rozwiązań sprzętowych (organizacja bloków pamięci, krosownice), jak również z zaimplementowanych trybów transmisji.

Zastosowania architektury wieloprocessorowej procesorów DSP obejmują realizację transformaty Hougha i algorytmów segmentacji, uzupełniających funkcjonalność opisanych w [18, 23] specjalizowanych procesorów sprzętowych, pracujących w architekturze potokowej przetwarzania wstępnego danych wizyjnych [22]. Zagadnienia szczegółowe związane ze sposobem formułowania kodu assemblerowego programu lub zapisu takiego algorytmu w języku C dla procesorów DSP pracujących w trybie czasu rzeczywistego opisano w [24].

Specyfika architektury wieloprocessorowej DSP, a w szczególności wymagania co do efektywności wykonywanego na niej kodu oraz niewielka ilość pamięci lokalnej, dostępna dla procesorów DSP przy braku modułu rozszerzającego, wymagają implementowania algorytmów przy wykorzystaniu assemblera procesorów DSP. Nie jest to jednak w świetle doskonałej implementacji listy rozkazów procesora i jego przyjaznej dla programisty struktury rejestrów wymaganie, obniżające możliwości potencjalnych zastosowań.

Ze względu na nieustający postęp w rozwoju techniki cyfrowej, parametry opisanej architektury wieloprocessorowej DSP nie umiejscawiają jej w klasie systemów o najwyż-

szych mocach obliczeniowych. Architektura ta jest jednak dobrze dopasowana do specyfiki systemu przetwarzającego dane wizyjne w czasie rzeczywistym i jest w stanie zadowalająco wypełniać stawiane zadania obliczeniowe.

Istnieją oczywiście dalsze możliwości rozwoju i poprawy parametrów zaprezentowanego rozwiązania, w szczególności jego parametrów czasowych, co w systemach czasu rzeczywistego jest sprawą zasadniczą. Najbardziej obiecujące jest wykorzystanie kolejnych bardziej zaawansowanych procesorów sygnałowych, które zachowując w znacznym stopniu kompatybilność ze starszymi procesorami, pozwalają na osiągnięcie znacznie większej wydajności obliczeniowej. Wydajność ta jest osiągana poprzez wykorzystanie wbudowanej pamięci notatnikowej oraz przyspieszenie wykonywania rozkazów poprzez zastosowanie dwukrotnej liczby stopni potoku rozkazowego, co umożliwia wykonywanie dwukrotnie większej liczby rozkazów na cykl zegara (jeden rozkaz na jeden cykl zegara). Rozszerzenie wielkości pamięci bufora obrazowego może ułatwić wykorzystanie modułu w wersji rozwojowej systemu wizyjnego, wykorzystującej dwukrotnie większą rozdzielczość obrazu.

Mnogość możliwych dalszych rozwiązań poprawiających parametry opisanej jednostki wieloprocessorowej DSP świadczy o wciąż dużych możliwościach tkwiących w zastosowanej architekturze, co pozwoli w przyszłości na kontynuację poszukiwań idących w kierunku jej optymalnego wykorzystania, jako części heterogenicznego systemu wizyjnego.

6. BIBLIOGRAFIA

1. AMD: *MACH111SP Data Sheet*. AMD Inc., 1996
2. AMD: *MACHXL 2.0 Software User's Guide*. AMD Inc., 1994
3. AMD: *Mach 1, 2, 3 and 4 Family Data Book*. AMD Inc., 1995
4. P. Bazarnik, K. Gąsiorowski: *Wysokosprawny moduł cyfrowego przetwarzania sygnału na procesorach DSP56000 współpracujący z magistralą VME i systemem operacyjnym OS-9*. Praca dyplomowa, Kraków, AGH, 1997
5. B. S. Chalk: *Organizacja i architektura komputerów*. Warszawa, WNT, 1998
6. R. Duncan: *A Survey of Parallel Computer Architectures*. Computer, Vol. 23, No. 2, February 1990, pp. 5–16
7. S. Kozielski, Z. Szczerbiński: *Komputery równoległe*, Warszawa, WNT, 1994
8. B. Marzec: *Wprowadzenie do standardu magistrali VMEbus*, Warszawa, WNT, 1994
9. MICRON: *MT43C4257/8 Data Sheet*. Micron Technology, 1992
10. MOTOROLA: *DSP56000 24-Bit Digital Signal Processor Family Manual*. Motorola Inc., 1994
11. MOTOROLA: *DSP56001 24-Bit Digital Signal Processor User's Manual*. Motorola Inc., 1994.
12. MOTOROLA: *DSP56001 Advanced Information Data Sheet*. Motorola Inc., 1988.
13. W. Peterson: *The VMEbus Handbook Second Edition*, Scottsdale, VITA, 1991.
14. A. Skorupski: *Podstawy budowy i działania komputerów*. Warszawa, WKiŁ, 1997.
15. R. Tadeusiewicz: *Systemy wizyjne robotów przemysłowych*, Warszawa, WNT, 1992..
16. A. S. Tanenbaum: *Rozproszone systemy operacyjne*. Warszawa, PWN, 1997.
17. K. Wiatr: *Pipelined Architecture of Reconfigurable Specialised Processors for a Real-Time Image Data Pre-Processing*. Proc. of the IEEE International Conference on Signal Processing — ICSP-96, Beijing — China 1996, IEEE Press 1996, pp. 649–652.

18. K. Wiatr: *Systemy przetwarzania danych wizyjnych w czasie rzeczywistym*. ss. 121–130.
19. K. Wiatr: *FPGA Solutions for Real-Time Image Processing*. — ICIAE'96, Beijing, 1996.
20. K. Wiatr: *Systemy przetwarzania danych wizyjnych*. Kwart. Elektr. i Telekom., 1997, z. 49, nr 1.
21. K. Wiatr: *Real-Time Image Processing*. Konferencja ICIAE'96, Beijing, 1996.
22. K. Wiatr: *Systemy przetwarzania danych wizyjnych*. Kwart. Elektr. i Telekom., 1997, z. 49, nr 1.
23. K. Wiatr: *Systemy przetwarzania danych wizyjnych*. Kwart. Elektr. i Telekom., 1997, z. 49, nr 1.
24. K. Wiatr: *Systemy przetwarzania danych wizyjnych*. Kwart. Elektr. i Telekom., 1997, z. 49, nr 1.
25. XILINX: *Virtex-2 Pro Data Sheet*. Xilinx Inc., 2000, z. 4.
26. XILINX: *Virtex-2 Pro Data Sheet*. Xilinx Inc., 2000, z. 4.
27. XILINX: *Virtex-2 Pro Data Sheet*. Xilinx Inc., 2000, z. 4.
28. M. Zargartalebi: *Systemy przetwarzania danych wizyjnych*. Kwart. Elektr. i Telekom., 1997, z. 49, nr 1.

Author: dedicated pipeline architecture for this work automatically implemented on Motorola signal processing image data bus and image data transfer.

Keywords: real-time image processing.

18. K. Wiatr: *Architektura specjalizowanych procesorów potokowych do obróbki wstępnej danych wizyjnych w czasie rzeczywistym*. Kwartalnik Elektronika i Telekomunikacja PAN, t. 43, z. 1, Warszawa 1997, ss. 121–148.
19. K. Wiatr: *Dedicated Hardware Processors for a Real-Time Image Data Pre-Processing Implemented in FPGA Structure*. Proc. of the 9th International Conference on Image Analysis and Processing — ICIAP'97, Florence — Italy 1997, Berlin, Springer-Verlag 1997, vol. II, pp. 69–75..
20. K. Wiatr: *Analiza parametrów czasowych architektury potokowej specjalizowanych procesorów sprzętowych*. Kwartalnik Elektroniki i Telekomunikacji PAN, t. 44, z. 3, Warszawa 1998, ss. 87–108.
21. K. Wiatr: *Pipelined Architecture of Specialised Reconfigurable Processors in FPGA Structures for Real-Time Image Data Pre-Processing*. IEEE Computer Society: Proceedings of the 24th EUROMICRO Conference — Digital Systems Design, Vasteras — Sweden 1998, pp. 131–138.
22. K. Wiatr: *Architektura potokowa specjalizowanych procesorów sprzętowych do wstępnego przetwarzania obrazów w systemach wizyjnych czasu rzeczywistego*. Kraków, Wydawnictwa AGH, 1998.
23. K. Wiatr: *Dedicated System Architecture for Parallel Image Computation used Specialised Hardware Processors Implemented in FPGA Structures*. International Journal of Parallel and Distributed Systems and Networks, Pittsburgh, 1998, pp. 161–168.
24. K. Wiatr, E. Jamró: *Implementacja algorytmu konwolucji 2D w układach specjalizowanych VLSI oraz w procesorach ogólnego przeznaczenia i sygnałowych*. Kwartalnik Elektroniki i Telekomunikacji PAN, 2000, z. 4, ss. 553–587.
25. XILINX: *XC7300 CMOS CPLD Family*. Xilinx Inc., 1996.
26. XILINX: *XC73108 108-Macrocell CMOS CPLD Product Specification*. Xilinx Inc. 1996.
27. XILINX: *VME Data Acquisition Interface and Control in a Xilinx XC7000*. Xilinx Inc. 1994.
28. M. Zargham: *Computer Architecture*. New Jersey, Prentice Hall 1996.

K. WIATR

MULTIPROCESSOR ARCHITECTURE OF DIGITAL SIGNAL PROCESSORS FOR REAL-TIME IMAGE PROCESSING

Summary

Author made vision systems with high-speed algorithm realization for real-time systems. Author has dedicated pipelined architecture of specialized hardware processors for image preprocessing and therefore in this work author concentrated on the middle and high level image processing. In particular author's group implemented these levels algorithms in the DSP processors — design and made multiprocessor unit used Motorola signal processors DSP56001 and Texas Instruments crossbar switch 74ABT16863 for connections image data between these processors. Paper presents detailed architecture of this multiprocessor unit and image data transfer protocols implemented in this system.

Keywords: real-time systems, image processing, multiprocessor system architecture.

Wybrane

S
system
nałożo
wymu
wielop
Jednak
niełatw
wprov
wej an
proces

Słowa

W pr
zagadnieni
szeregowan
nia poszcz
czasowe
szeregowan
można po
riodyczny
i algorytm

Wybrane zagadnienia szeregowania zadań wieloprocessorowych dla dedykowanych procesorów

MIROSLAW GAJER

*Katedra Automatyki, Akademia Górniczo-Hutnicza
al. Mickiewicza 30, 30-059 Kraków
e-mail: mgajer@ia.agh.edu.pl*

Otrzymano 2002.03.15

Autoryzowano 2002.05.22

Systemy czasu rzeczywistego stanowią obecnie dobrze określoną i wyodrębnioną grupę systemów komputerowych. W systemach takich najważniejszą sprawą jest dochowywanie nałożonych na realizację zadań ograniczeń czasowych. Spełnienie wymogów czasowych wymusza często konieczność zastosowania w miejsce sekwencyjnych procesorów systemów wieloprocessorowych, które są w stanie dostarczyć wymaganego poziomu mocy obliczeniowej. Jednakże zastosowanie rozwiązań wieloprocessorowych powoduje konieczność rozwiązania niełatwego problemu szeregowania zadań wieloprocessorowych. W artykule po wstępnym wprowadzeniu w problematykę szeregowania zadań wieloprocessorowych, dokonano szczegółowej analizy przypadku szeregowania zadań wieloprocessorowych dla czterech dedykowanych procesorów. Rozważania teoretyczne zostały uzupełnione o wyniki symulacji komputerowych.

Słowa kluczowe: szeregowanie zadań, systemy wieloprocessorowe, systemy czasu rzeczywistego

1. WPROWADZENIE

W przypadku komputerowych systemów czasu rzeczywistego bardzo ważnym zagadnieniem jest wybór odpowiedniego algorytmu szeregowania zadań. Celem procesu szeregowania zadań jest znalezienie takiego planu określającego kolejność wykonywania poszczególnych zadań, aby dla każdego zadania dochowane zostało ograniczenie czasowe nałożone na jego realizację [1]. Opracowano wiele różnych algorytmów szeregowania zadań, różniących się zakresem stosowności. Generalnie algorytmy takie można podzielić na algorytmy przewidziane do szeregowania zadań okresowych i aperiodycznych, algorytmy statyczne i dynamiczne, algorytmy z wywłaszczaniem zadań i algorytmy pozbawione takiej możliwości [2].

W klasycznej teorii szeregowania zadań przyjmuje się zwykle, że poszczególne zadania wykonywane są tylko na jednym procesorze [3]. Natomiast w nowszych opracowaniach z tej dziedziny, dopuszcza się już możliwość szeregowania zadań wieloprocessorowych [4] — [8]. Zadanie wieloprocessorowe definiowane jest jako zadanie, które do swojej realizacji wymaga więcej niż jednego procesora. Zbiór procesorów potrzebnych do realizacji danego zadania wieloprocessorowego może zostać wcześniej określony — w takim przypadku mówi się o szeregowaniu zadań dla dedykowanych procesorów, albo też wybór procesorów może mieć charakter arbitralny.

W pracy [9] opisano rezultaty badań prowadzonych nad zagadnieniem szeregowania niezależnych i niewyłączalnych aperiodycznych zadań wieloprocessorowych dla trzech dedykowanych procesorów. Wcześniej w pracy [10] wykazano, że problem ten należy do klasy problemów NP-trudnych. Zatem w praktyce znalezienie dokładnego (optymalnego) rozwiązania rozważanego zagadnienia nie jest możliwe. Podano natomiast szereg rozwiązań przybliżonych [11] — [13], które w mniejszym bądź większym stopniu pozwalają zbliżyć się do pożądanego optimum (planu szeregowania zadań, który posiada najkrótszy czas realizacji). Jednakże na szczególną uwagę zasługuje podany w pracy [9] algorytm heurystyczny o nazwie DUT (ang. Divide Uniprocessor Tasks).

Celem niniejszej pracy jest zastosowanie głównych idei algorytmu DUT dla przypadku szeregowania zbioru niezależnych i niewyłączalnych zadań wieloprocessorowych przeznaczonych dla czterech dedykowanych procesorów. Zanim jednak zostaną podane związane z tym szczegóły, na wstępie należy zapoznać się z podstawami działania algorytmu DUT.

2. OGÓLNA CHARAKTERYSTYKA ALGORYTMU DUT

Główna idea algorytmu DUT polega na dokonaniu podziału (oczywiście jeżeli tylko podział taki jest możliwy) każdego zbioru zadań jednoprocessorowych Ψ^i ($1 \leq i \leq 3$) na dwie części Ψ_1^i oraz Ψ_2^i . Zadaniem algorytmu DUT jest maksymalne zbliżenie czasu realizacji zbioru zadań Ψ_1^i do czasu realizacji zbioru zadań dwuprocessorowych Ψ^{jk} , który może być wykonywany równocześnie z rozważanym zbiorem zadań jednoprocessorowych. Chodzi zatem o znalezienie takiego podziału $\Psi_1^i \cup \Psi_2^i = \Psi^i$ aby różnica czasów realizacji zbioru zadań dwuprocessorowych $\omega(\Psi^{jk})$ i odpowiadającego mu podzbioru zadań jednoprocessorowych $\omega(\Psi_1^i)$ była jak najmniejsza. Zatem dla każdego i poszukiwane jest minimum wyrażenia $|\omega(\Psi^{jk}) - \omega(\Psi_1^i)|$, dla $\{j, k\} = \{1, 2, 3\} \setminus \{i\}$, po wszystkich możliwych podziałach zbioru zadań jednoprocessorowych Ψ^i ($1 \leq i \leq 3$) na dwa rozłączne podzbiory Ψ_1^i oraz Ψ_2^i . Niestety zagadnienie poszukiwania rozważanego minimum należy do klasy problemów NP-trudnych. W związku z tym literaturze przedmiotu zaproponowano wiele różnych rozwiązań przybliżonych [14], [15]. Problem ten jest szczególnym przypadkiem tzw. zagadnienia poszukiwania sumy elementów podzbioru (ang. subset-sum problem).

W ogólnym przypadku dla danej wartości dodatniej b oraz dla danego zbioru dodatnich wartości $A = \{a_1, \dots, a_n\}$ celem jest znalezienie takiego podzbioru $A' \subseteq A$,

którego su

wartości b
[16], gdzie

czym złoż

się wzoren

W ko
szeregow
aperiodyc

3. SZE

Niech
będzie zb
czasach w
czasu ω (T
od wymag
na następ
 ψ^{124} , ψ^{12}
wymagan
 $\omega(\Psi')$ ok
 Ψ' .

Jak k
uniemożli
różne zad
procesora.

Procesor

Procesor

Procesor

Procesor

Rys.

oszczególne
w nowszych
wania zadań
st jako zada-
r procesorów
ać wcześniej
dykowanych

szeregowania
rowych dla
problem ten
dokładnego
Podano nato-
lż większym
zadań, który
guje podany
sor Tasks).
u DUT dla
ieloprocso-
lnak zostaną
podstawami

e jeżeli tylko
($1 \leq i \leq 3$) na
żenie czasu
rowych ψ^{jk} ,
adań jedno-
aby różnica
ającego mu
dla każdego
($2, 3 \setminus \{i\}$), po
($1 \leq i \leq 3$) na
rozważanego
n literaturze
[5]. Problem
elementów

negu zbioru
ioru $A' \subseteq A$,

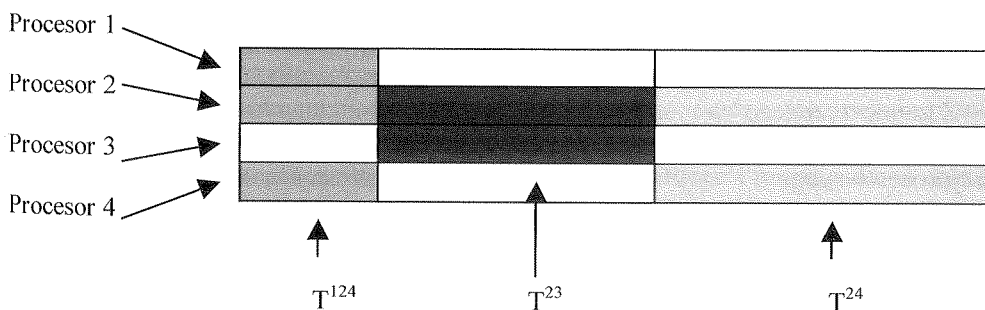
którego suma elementów $\sum_{a_i \in A'} a_i$ osiąga maksymalnie dużą wartość, jednakże nie większą od wartości b . Jedno z ciekawszych rozwiązań rozważanego problemu zaproponowano w pracy [16], gdzie odpowiedni algorytm znajduje podzbiór A' , taki że $b \geq \sum_{a_i \in A'} a_i \geq (1-\varepsilon)b$, przy czym złożoność obliczeniowa tego algorytmu zależy od wymaganej dokładności ε i wyraża się wzorem $O\left[\min\left(\frac{n}{\varepsilon}, n + \frac{\log^{(1/\varepsilon)} n}{\varepsilon^2}\right)\right]$.

W kolejnym punkcie sformułowane zostaną podstawowe założenia dla problemu szeregowania, w oparciu o algorytm DUT, niezależnych wieloprocessorowych zadań aperiodycznych dla czterech dedykowanych procesorów.

3. SZEREGOWANIA ZADAŃ WIELOPROCESOROWYCH DLA CZTERECH EDYKOWANYCH PROCESORÓW

Niech $P = \{1, 2, 3, 4\}$ będzie zbiorem czterech procesorów i niech $\Psi = \{T_1, \dots, T_N\}$ będzie zbiorem N niezależnych zadań wieloprocessorowych o arbitralnie zadanych czasach wykonywania. Każde zadanie T_i , $1 \leq i \leq N$ wymaga dostępności w przedziale czasu $\omega(T_i)$ pewnego określonego z góry, niepustego zbioru procesorów. W zależności od wymagań dotyczących dostępności procesora zbiór zadań może zostać podzielony na następujące podzbiory: $\Psi^1, \Psi^2, \Psi^3, \Psi^4, \Psi^{12}, \Psi^{13}, \Psi^{14}, \Psi^{23}, \Psi^{24}, \Psi^{34}, \Psi^{234}, \Psi^{134}, \Psi^{124}, \Psi^{123}$ i Ψ^{1234} . Górne indeksy podzbiorów zadań podają numery procesorów wymaganych do realizacji tych zadań. Dla dowolnego podzbioru zadań $\Psi' \subseteq \Psi$ funkcja $\omega(\Psi')$ określa łączny czas wykonywania wszystkich zadań należących do podzbioru Ψ' .

Jak łatwo można zauważyć, wykonywanie pewnych zadań wieloprocessorowych uniemożliwia jednoczesne wykonywanie innych zadań. Dzieje się tak zawsze, gdy dwa różne zadania wymagają w celu swojej realizacji co najmniej jednego wspólnego procesora. Przykład takiej sytuacji zamieszczono na rys. 1.

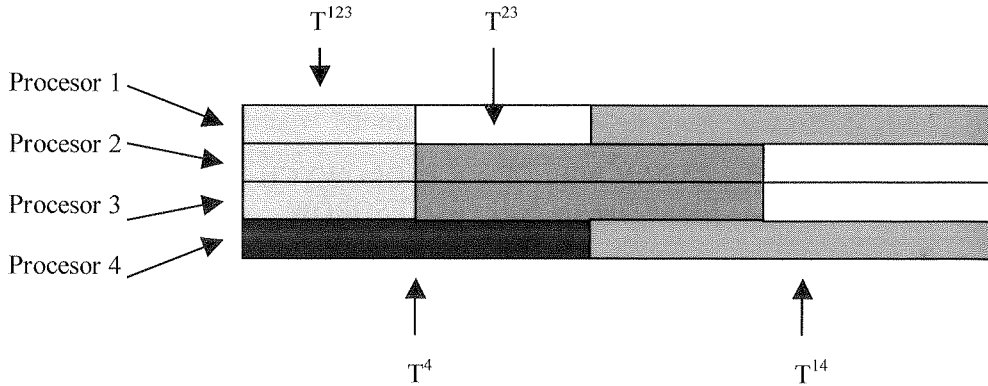


Rys. 1. Przykład zadań wieloprocessorowych, uniemożliwiających swoją jednoczesną realizację

Fig. 1. An example of multiprocessor tasks that can not be run simultaneously

W zamieszczonym na rys. 1 przykładzie realizacja trójprocesorowego zadania $T^{124} \in \Psi^{24}$ uniemożliwia jednoczesną realizację dwuprocesorowego zadania $T^{23} \in \Psi^{23}$, które z kolei uniemożliwia jednoczesną realizację innego zadania dwuprocesorowego $T^{124} \in \Psi^{124}$.

Istnieją jednakże również takie zadania, które mogą być realizowane równocześnie, ponieważ nie wymagają jednoczesnej dostępności co najmniej jednego procesora. Przykład takich zadań został zamieszczony na rys. 2.



Rys. 2. Przykład zadań wieloprocessorowych, które mogą być wykonywane jednocześnie

Fig. 2. An example of multiprocessor tasks that can be run simultaneously

W zamieszczonym na rys. 2 przykładzie trójprocesorowe zadanie $T^{123} \in \Psi^{123}$ może być wykonywane jednocześnie z jednoprocessorowym zadaniem $T^4 \in \Psi^4$. Analogicznie dwa dwuprocesorowe zadania $T^{23} \in \Psi^{23}$ oraz $T^{14} \in \Psi^{14}$ również mogą być wykonywane jednocześnie.

W świetle powyższych rozważań widać, że wybór odpowiedniego sposobu uporządkowania zadań wieloprocessorowych, przeznaczonych dla różnej liczby dedykowanych procesorów, posiada wpływ na całkowitą długość planu szeregowania tych zadań. Zmiana kolejności wykonywania niektórych zadań może doprowadzić w niektórych przypadkach do znacznego skrócenia czasu realizacji planu zadań. Przykład takiej sytuacji został zamieszczony na rys. 3.

Z zamieszczonego na rys. 3 przykładu wynika, że zmiana kolejności wykonywania zadań pozwala np. na jednoczesne wykonywanie zadania jednoprocessorowego $T^1 \in \Psi^1$ i trójprocesorowego $T^{234} \in \Psi^{234}$. W rezultacie czas realizacji całego planu zadań uległ znacznemu skróceniu.

Na rys. 3 białymi prostokątami zostały zaznaczone tzw. odcinki pracy jałowej procesorów, bowiem w tym czasie dany procesor nie wykonuje żadnego użytecznego zadania. Z zamieszczonego na rys. 3 przykładu wynika również, że wybór odpowiedniej strategii szeregowania zadań prowadzi również do znacznej redukcji czasów pracy jałowej procesorów, bowiem im krótszy jest plan szeregowania zadań, tym lepsze musi być wykorzystanie czasu pracy poszczególnych procesorów.

Procesor 1
Procesor 2
Procesor 3
Procesor 4

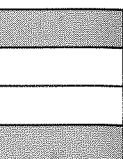
Procesor 1
Procesor 2
Procesor 3
Procesor 4

Rys. 3. Ilus

Fig. 3.

W pr
liczba róż
mutacji ty
szeregowa
z tym jeg
pełnego p
wartości A
w praktyc
szeregowa
klasy probl
do doskona
giem. Częs
dobrze apr
Nie b
wykonać v
ważanego
jedynym p

tego zadania
a $T^{23} \in \Psi^{23}$,
procesorowego
ównocześnie,
o procesora.



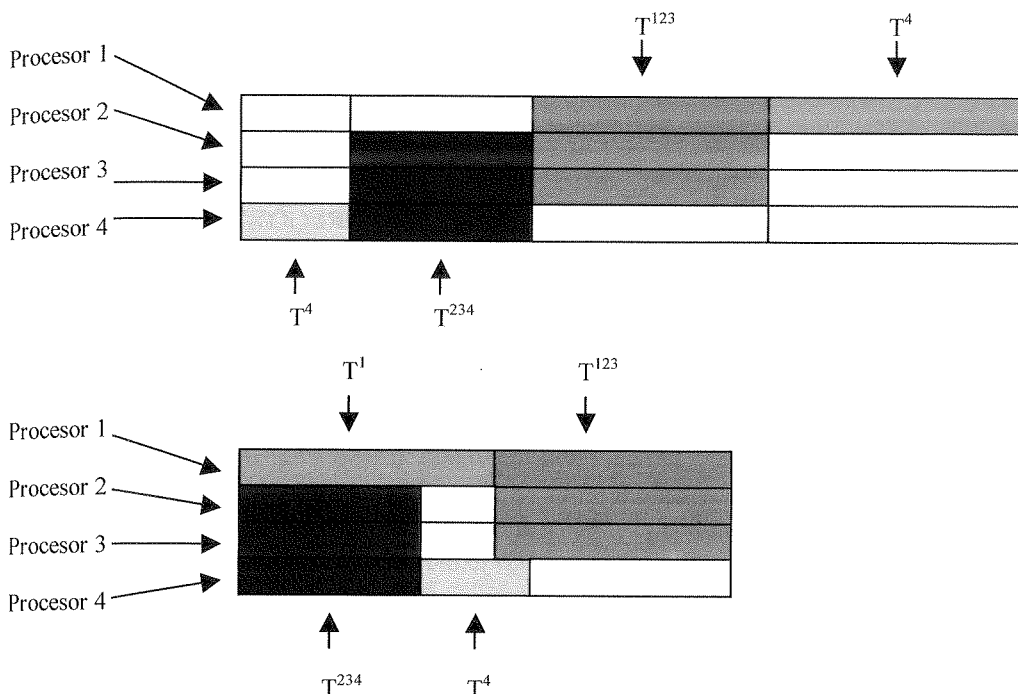
ceśnie

$\in \Psi^{123}$ może
Analogicznie
wykonywane

obu uporząd-
dykowanych
tych zadań.
w niektórych
z przykład takiej

wykonywania
tego $T^1 \in \Psi^1$
u zadań uległ

pracy jałowej
użytecznego
odpowiedniej
czasów pracy
lepsze musi



Rys. 3. Ilustracja sytuacji, w której zmiana kolejności wykonywania zadań wieloprocessorowych prowadzi do znacznego skrócenia czasu realizacji planu zadań

Fig. 3. An example of the situation in which the task reordering makes the schedule length shorter

W przypadku zbioru N niezależnych zadań wieloprocessorowych, maksymalna liczba różnych planów szeregowania tych zadań ograniczona jest przez liczbę permutacji tych zadań, czyli przez $N!$. Zatem w celu znalezienia optymalnego planu szeregowania N zadań, tzn. takiego, który posiada najkrótszy czas realizacji i w związku z tym jego łączny czas pracy jałowej procesorów jest najkrótszy, należy dokonać pełnego przeglądu $N!$ rozwiązań i wybrać rozwiązanie najlepsze. Niestety dla dużych wartości N (rzędu kilkudziesięciu i więcej) rozwiązanie takie nie jest realizowalne w praktyce, ze względu na kombinatoryczną eksplozję liczby możliwych planów szeregowania rozważanych N zadań. Jest to klasyczny przykład problemu należącego do klasy problemów NP-trudnych. Na szczęście w przypadku tego typu zagadnień dążenie do doskonałości (znalezienie rozwiązania optymalnego) nie jest bezwzględnym wymogiem. Często wystarcza bowiem znalezienie pewnego optimum lokalnego, które dość dobrze aproksymuje optimum globalne.

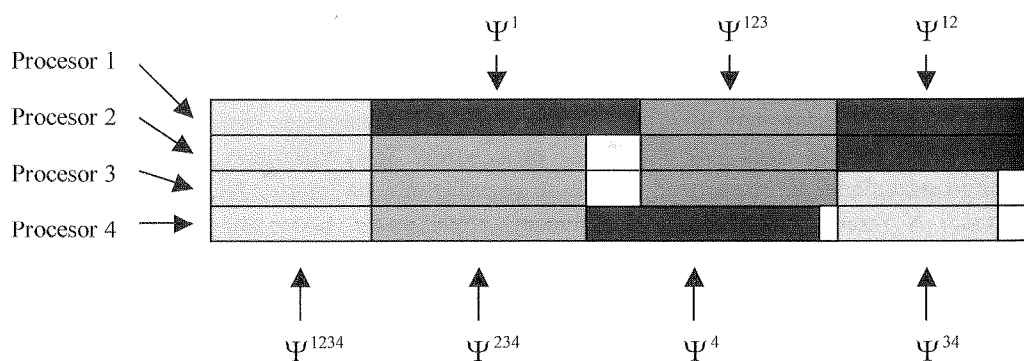
Nie bez znaczenia jest w tym przypadku również czas obliczeń, które należy wykonać w celu znalezienia rozwiązania optymalnego globalnie. W przypadku rozważanego zagadnienia czas ten rośnie bardzo szybko wraz ze wzrostem N . Zatem jedynym praktycznie realizowalnym rozwiązaniem jest algorytm przybliżony, który

kierując się pewnymi przesłankami (tzw. algorytm heurystyczny) pozwala na odnalezienie w rozsądnym czasie (wielomianowa złożoność obliczeniowa) pewnego rozwiązania przybliżonego, o jakości zadowalającej z technicznego punktu widzenia.

4. ALGORYTMY HEURYSTYCZNE SZEREGOWANIA ZADAŃ WIELOPROCESOROWYCH

W rozważanym w niniejszym artykule przypadku szeregowania zadań wieloprocesorowych dla czterech dedykowanych procesorów, najprostszy algorytm heurystyczny polega na zgrupowaniu zadań tego samego typu (przewidywanych do realizacji na tych samych procesorach) w podzbiory zadań, które następnie wykonywane są w sposób ciągły jak jedno większe zadanie. Wykonywanie takiego zadania nie może zostać przerwane, aż do momentu zakończenia realizacji wszystkich jego elementów składowych. Na przykład zadania T_1^{134} , T_2^{134} oraz T_3^{134} (dolne indeksy oznaczają numery porządkowe zadań) zostają zgrupowane, jako jedno większe zadanie Ψ^{134} , które następnie wykonywane jest w sposób ciągły.

Na szczególną uwagę zasługują zadania przeznaczone dla czterech procesorów, które po zgrupowaniu tworzą zadanie Ψ^{1234} . Otóż zadanie takie może zostać umieszczone na początku każdego (w tym również optymalnego) planu zadań, nie wpływając tym samym na wielkość czasu pracy jałowej poszczególnych procesorów. Dzieje się tak dlatego, że zadanie wykorzystuje jednocześnie wszystkie procesory i w związku z tym nie może być mowy o żadnej pracy jałowej. Rozważane zagadnienie zostało zilustrowane na rys. 4.



Rys. 4. Ilustracja zjawiska polegającego na tym, że zadania czteroprocesorowe nie posiadają wpływu na wielkość czasu pracy jałowej procesorów

Fig. 4. An illustration of the phenomenon that four-processor tasks does not have the impact on the processors idle work time

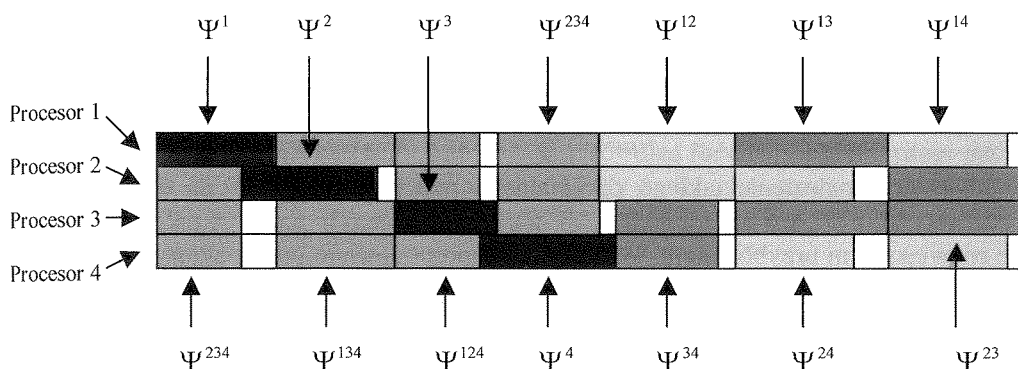
pozwala na
(a) pewnego
punktu wi-

Ponieważ zadanie nie posiada żadnego wpływu na wielkość czasu pracy łąkowej procesorów — wielkości do minimalizacji której się dąży, zadanie to nie będzie uwzględniane w dalszej analizie.

W ten sposób liczność zbioru zadań uległa znacznej redukcji z wielkości N , która może być bardzo dużą liczbą, do jedynie czternastu zadań. Są to odpowiednio zadania: $\Psi^1, \Psi^2, \Psi^3, \Psi^4, \Psi^{12}, \Psi^{13}, \Psi^{14}, \Psi^{23}, \Psi^{24}, \Psi^{34}, \Psi^{234}, \Psi^{134}, \Psi^{124}$ i Ψ^{123} .

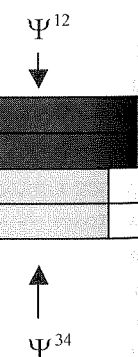
wieloproce-
heurystyczny
zacji na tych
są w sposób
może zostać
ntów składo-
zają numery
które następ-

Kolejne zadanie polega na połączeniu w dwuelementowe zbiory zadań, które mogą być wykonywane równocześnie. Dotyczy to zadań jednoprocessorowych i trójproucessorowych: $\{\Psi^1, \Psi^{234}\}$, $\{\Psi^2, \Psi^{134}\}$, $\{\Psi^3, \Psi^{124}\}$, $\{\Psi^4, \Psi^{123}\}$ oraz odpowiednich zadań dwuprocessorowych $\{\Psi^{12}, \Psi^{34}\}$, $\{\Psi^{13}, \Psi^{24}\}$, $\{\Psi^{14}, \Psi^{23}\}$. Zatem ostatecznie szeregowaniu podlega siedem par zadań, które mogą być wykonywane jednocześnie. W związku z tym istnieje $7! = 5040$ planów szeregowania takich par zadań, z których należy następnie wybrać plan, posiadający najkrótszy czas realizacji. Na rys. 5 zamieszczono przykładowy plan szeregowania siedmiu par zadań wieloprocessorowych.



Rys. 5. Przykładowy plan szeregowania siedmiu par zadań wieloprocessorowych

Fig. 5. An example task schedule of seven multiprocessor tasks pairs



Przedstawiony algorytm heurystyczny daje dobre wyniki w przypadku, gdy częstość występowania zadań dwuprocessorowych różnego typu (np. T^{14} i T^{23}) jest taka sama, tzn. żaden typ zadania dwuprocessorowego nie jest w jakiś szczególny sposób faworyzowany. Również czas wykonywania zadań różnych typów powinien być zmienną losową o takich samych parametrach rozkładu. W takim przypadku czasy wykonywania obu składników pary zadań dwuprocessorowych (np. $\{\Psi^{12}, \Psi^{34}\}$ lub $\{\Psi^{13}, \Psi^{24}\}$) są do siebie zbliżone, co skutkuje niewielką wartością czasu pracy łąkowej procesorów.

lają wpływu
n the processors

Analogicznie czasy wykonywania poszczególnych składników par zadań jednoprocessorowych i trójproucessorowych (np. $\{\Psi^1, \Psi^{234}\}$ lub $\{\Psi^3, \Psi^{124}\}$) powinny być maksymalnie do siebie zbliżone. Niestety w praktyce warunek ten jest rzadko spełniony. Bowiem często zadań jednoprocessorowych jest więcej niż zadań trójproucessorowych, ponieważ utworzenie zadania jednoprocessorowego (wykonywanego sekwencyjnie na jednej maszynie) jest o wiele prostsze niż utworzenie zadań trójproucessorowych, przy

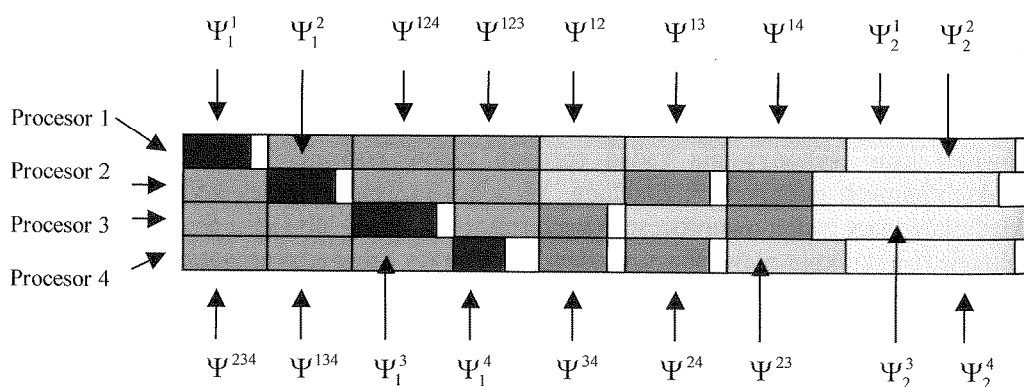
których należy stosować już technikę programowania równoległego. Zatem wydaje się rozsądne przyjąć, że zadań jednoprocessorowych będzie w rzeczywistym systemie więcej niż zadań tróprocessorowych. Poza tym średni czas wykonywania zadań jednoprocessorowych może być dłuższy od średniego czasu wykonywania zadań tróprocessorowych, ponieważ w przypadku realizacji tych samych obliczeń przy zastosowaniu trzech procesorów, obliczenia te zostaną zakończone szybciej, niż w przypadku ich realizacji na jednym procesorze.

Zatem można przyjąć, że w większości przypadków łączny czas wykonywania zadań jednoprocessorowych $\omega(\Psi^i)$, $i \in \{1, 2, 3, 4\}$ określonego typu, będzie dłuższy od łącznego czasu realizacji odpowiedniego zbioru zadań tróprocessorowych $\omega(\Psi^{jkl})$, $j, k, l \in \{1, 2, 3, 4\} \wedge i \neq j, k, l$.

Zjawisko takie może skutkować dość dużym procentowym udziałem jałowych czasów pracy poszczególnych procesorów w całkowitym czasie realizacji planu zadań. Jako środek zaradczy, zapobiegający powstaniu tak niekorzystnej sytuacji zastosowany może zostać zaproponowany w pracy [9] algorytm DUT.

Istota działania algorytmu DUT polega na rozbiciu każdego ze zbiorów zadań jednoprocessorowych Ψ^i , $i \in \{1, 2, 3, 4\}$ na dwa podzbiory Ψ_1^i oraz Ψ_2^i . Podział ten dokonywany jest w taki sposób, aby całkowity czas wykonywania podzbioru zadań jednoprocessorowych $\omega(\Psi_1^i)$, $i \in \{1, 2, 3, 4\}$ był maksymalnie zbliżony do całkowitego czasu realizacji zbioru zadań $\omega(\Psi^{jkl})$, $j, k, l \in \{1, 2, 3, 4\} \wedge i \neq j, k, l$.

Niestety znalezienie takiego optymalnego podziału zbioru Ψ^i na dwa rozłączne podzbiory Ψ_1^i i Ψ_2^i jest zagadnieniem NP-zupełnym, zatem w praktyce należy zadowolić się rozwiązaniem przybliżonym. W pracy [9] zaproponowano prosty algorytm o liniowej złożoności obliczeniowej $O(n)$, którego działanie polega na losowym wybieraniu do zbioru kolejnych zadań, tak długo dopóki ich czas realizacji $\omega(\Psi_1^i)$, $i \in \{1, 2, 3, 4\}$ nie przekracza łącznego czasu wykonywania odpowiedniego zbioru zadań tróprocessorowych $\omega(\Psi^{jkl})$, $j, k, l \in \{1, 2, 3, 4\} \wedge i \neq j, k, l$. Pozostałe zadania umieszczone zostają automatycznie w zbiorze Ψ_2^i , $i \in \{1, 2, 3, 4\}$.



Rys. 6. Przykładowy plan szeregowania zadań uzyskany po zastosowaniu algorytmu DUT

Fig. 6. An example task schedule that was obtained after the usage of DUT algorithm

Ostateczny procesorowy { Ψ^{12} , Ψ^{34} }, { Ψ_2^1 , Ψ_2^2 , Ψ_2^3 , Ψ_2^4 } zbiorów zadań realizacji, aby wykonywać poświęcić na liczeń. Jeden z został zamie

W celu zastosowania procesorów, losowej generacji jednostajnych zawierających przydzielonych gęstość funkcji nych eksper

W celu procesorowy wykorzystan

W pow wieloproc w stanie ja stawiono na

Na rys poszczególn czasu, w kt wykorzysta prostokątów cały plan wszystkich

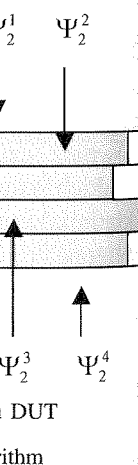
W pier N zadań o

m wydaje się
stemie więcej
lnoprocesoro-
procesorowych,
waniu trzech
ich realizacji
wykonywania
ie dłuższy od
 $\omega(\Psi^{kl})$, j , k ,

em jałowych
planu zadań,
zastosowany

iorów zadań
. Podział ten
zbioru zadań
o całkowitego

wa rozłączne
ży zadowolić
tm o liniowej
ybieraniu do
, 2, 3, 4} nie
różprocesoro-
czone zostają



DUT
ithm

Ostatecznie szeregowaniu podlega siedem par zadań (jednoprocessorowych i trójprocesorowych: $\{\Psi_1^1, \Psi^{234}\}$, $\{\Psi_1^2, \Psi^{134}\}$, $\{\Psi_1^3, \Psi^{123}\}$, $\{\Psi_1^4, \Psi^{123}\}$ i dwuprocessorowych $\{\Psi^{12}, \Psi^{34}\}$, $\{\Psi^{13}, \Psi^{24}\}$, $\{\Psi^{14}, \Psi^{23}\}$) oraz zbiór czterech zadań jednoprocessorowych $\{\Psi_2^1, \Psi_2^2, \Psi_2^3, \Psi_2^4\}$. Zatem istnieje łącznie $8! = 40320$ możliwych planów powyższych zbiorów zadań. Z planów tych można wybrać ten, który posiada najkrótszy czas realizacji, albo też można wziąć dowolny z nich, ponieważ różnice w łącznym czasie wykonywania poszczególnych planów nie są zbyt wielkie i w związku z tym można poświęcić niewielką poprawę dokładności rozwiązania kosztem skrócenia czasu obliczeń. Jeden z przykładowych planów szeregowania zadań zgodnie z algorytmem DUT został zamieszczony na rys. 6.

5. WYNIKI BADAŃ SYMULACYJNYCH

W celu weryfikacji skuteczności działania algorytmu DUT, w przypadku jego zastosowania do szeregowania zadań wieloprocessorowych dla czterech dedykowanych procesorów, przeprowadzono liczne badania symulacyjne. Badania te polegały na losowej generacji pewnej liczby zadań, przy czym zmienną losową o rozkładzie jednostajnym był czas wykonywania poszczególnych zadań, który był liczbą całkowitą zawierającą się w przedziale jednostek czasu. Również liczba i rodzaj procesorów przydzielonych do wykonywania danego zadania były zmiennymi losowymi, przy czym gęstość funkcji rozkładu tych zmiennych była modyfikowana w trakcie przeprowadzanych eksperymentów.

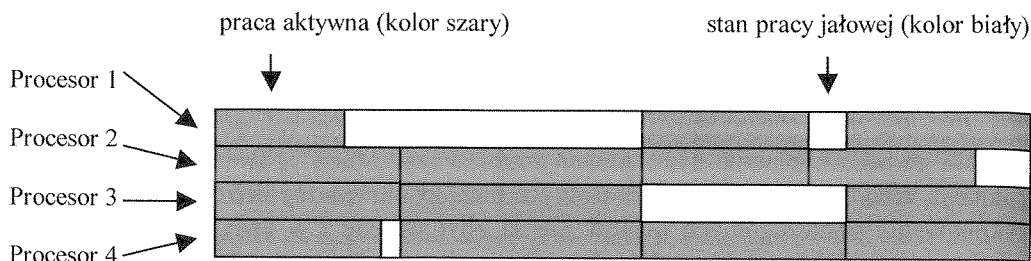
W celu oceny jakości zaproponowanego algorytmu szeregowania zadań wieloprocessorowych dla czterech dedykowanych procesorów zdefiniowano współczynnik wykorzystania czasu pracy procesorów.

$$\eta = \frac{T_a}{T_p + T_a} \quad (1)$$

W powyższym wzorze T_a oznacza łączny czas pracy aktywnej procesorów systemu wieloprocessorowego. Z kolei T_p oznacza łączny czas przebywania tych procesorów w stanie jałowym. Ideę współczynnika wykorzystania czasu pracy procesorów przedstawiono na rys. 7.

Na rys. 7 prostokątami w kolorze szarym zaznaczono odcinki aktywnej pracy poszczególnych procesorów. Z kolei prostokątami w kolorze białym zaznaczono odcinki czasu, w których procesory te przebywają w stanie pracy jałowej. Zatem współczynnik wykorzystania czasu pracy procesorów równa się stosunkowi sumy pól powierzchni prostokątów w kolorze szarym do pola powierzchni dużego prostokąta, reprezentującego cały plan szeregowania zadań. Pole takiego dużego prostokąta stanowi sumę pól wszystkich prostokątów w kolorze szarym i białym.

W pierwszym etapie eksperymentów, polegających na generowaniu pewnej liczby N zadań o losowo dobranych charakterystykach i następnie ich szeregowaniu zgodnie



Rys. 7. Ilustracja sposobu wyznaczania współczynnika wykorzystania czasu procesorów

Fig. 7. An illustration of the method of processor usage coefficient evaluation

z zaproponowanym algorytmem, prawdopodobieństwo generacji zadania jednoprosesorowego zostało ustalone na 0,4, dwuprosesorowego na 0,3 oraz trójprosesorowego na 0,3. Wyniki zamieszczone zostały w tab. 1.

Wyniki uzyskane podczas symulacji komputerowych zostały również przedstawione na wykresie 1, na którym pokazano, jak zależy średnia wartość współczynnika wykorzystania systemu wieloprosesorowego przez zadania od liczby zadań podlegających szeregowaniu.

Tabela 1

Wyniki eksperymentów szeregowania zadań (prawdopodobieństwo generacji zadania jednoprosesorowego 0,4, dwuprosesorowego 0,3 oraz trójprosesorowego 0,3). Współczynnik wyrażono w procentach

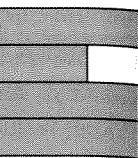
The results of task scheduling numerical experiments. The probability of uniprocessor task generation 0.4, biprocessor task 0.3 and three-processor task 0.3. The processor usage coefficient value is given in percents

liczba zadań	Symul. Nr 1	Symul. Nr 2	Symul. Nr 3	Symul. Nr 4	Symul. Nr 5	Symul. Nr 6	Symul. Nr 7	Symul. Nr 8	Symul. Nr 9	Symul. Nr 10	wartość średnia
14	88,34	89,64	90,91	90,04	91,86	91,73	91,76	93,46	93,12	93,46	91,43
28	88,00	92,55	91,89	94,00	94,47	93,86	95,22	94,04	94,21	94,58	93,28
42	90,60	93,02	92,45	93,64	96,02	96,88	95,87	97,89	97,40	96,85	95,06
56	89,22	95,12	94,74	93,54	95,38	96,59	96,45	96,32	97,16	97,44	95,20
70	87,42	89,67	94,60	94,60	94,21	95,48	95,49	96,51	96,31	97,14	94,14
140	91,59	95,08	96,63	95,98	96,25	96,89	97,63	97,82	98,12	98,40	96,44
280	95,01	95,98	96,91	98,04	98,48	98,80	98,80	98,58	98,35	98,41	97,74
700	97,03	97,80	98,87	99,08	99,06	98,95	98,71	98,46	98,50	98,67	98,51
1400	98,05	98,29	99,16	99,41	95,13	99,12	99,26	99,42	99,36	99,21	98,64
2800	98,99	99,49	99,42	99,39	99,33	99,40	99,33	99,41	99,55	99,65	99,40
7000	98,75	99,21	99,31	99,27	99,41	99,44	99,51	99,48	99,54	99,66	99,39
14000	99,54	99,62	99,71	99,69	99,70	99,76	99,72	99,75	99,77	99,77	99,70

W tab. procesowi s
wyniki sym
wo zbiorów
w procentach
W ostatniej
Analizu
zapewnia w
temu — pow
Przy bardzo
Zatem stosu
bardzo dobr
algorytmów
 η będzie i t
Uzyska
wieloproses
być np. wie
zintegrowan
DSP. Jedna
zagadnień a
niniejsza sta

1. K. G. S h
engineering
2. K. R a m
real-time

j (kolor biały)



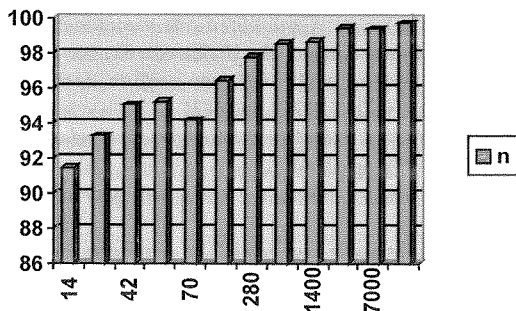
orów

ednoproceso-
sorowego na

przedstawione
nika wykorzy-
odlegających

Tabela 1
cesorowego 0,4,
centach
generation 0,4,
ven in percents

ymul. Nr 10	wartość średnia
03,46	91,43
04,58	93,28
06,85	95,06
07,44	95,20
07,14	94,14
08,40	96,44
08,41	97,74
08,67	98,51
09,21	98,64
09,65	99,40
09,66	99,39
09,77	99,70



Wyk. 1. Wykres przedstawiający zależność wartości współczynnika wykorzystania procesorów systemu wieloprocesorowego od liczby szeregowanych zadań

Plot 1. The plot illustrating dependence of the value of processor usage coefficient on the number of task that are scheduled

W tab. 1 w pierwszej kolumnie zamieszczono liczbę zadań, które poddane zostały procesowi szeregowania. Z kolei w następnych dziesięciu kolumnach zamieszczono wyniki symulacji komputerowych, polegających na szeregowaniu wygenerowanych losowo zbiorów zadań wieloprocesorowych. Wynikiem procesu szeregowania jest wyrażony w procentach współczynnik wykorzystania czasu pracy sytemu wieloprocesorowego η . W ostatniej kolumnie zamieszczono wartość średnią uzyskanych wyników symulacji.

Analizując dane zamieszczone w tab. 1 widać, że program szeregowania zadań zapewnia wysoką wartość współczynnika wykorzystania czasu pracy procesorów systemu — powyżej 90%. Wartość ta rośnie wraz ze wzrostem liczby szeregowania zadań. Przy bardzo dużej liczbie szeregowanych zadań osiąga wartość przekraczającą 99%. Zatem stosując stosunkowo prosty algorytm heurystyczny szeregowania zadań uzyskano bardzo dobre wyniki — w związku z tym stosowanie bardziej złożonych obliczeniowo algorytmów jest nie opłacalne, ponieważ ewentualna poprawa wartości współczynnika η będzie i tak niewielka.

Uzyskane wyniki posiadać mogą duże znaczenie praktyczne, ponieważ systemy wieloprocesorowe stają się obecnie coraz bardziej popularne, czego przykładem może być np. wieloprocesorowy układ TMS320C80 firmy Texas Instruments. W układzie tym zintegrowano pięć procesorów, w tym jeden procesor typu RISC oraz cztery procesory DSP. Jednakże efektywne programowanie tego układu wymaga rozwiązania nietrywialnych zagadnień alokacji i szeregowania zadań wieloprocesorowych [17], zatem publikacja niniejsza stanowić może tutaj cenną wskazówkę.

6. BIBLIOGRAFIA

1. K. G. Shin, P. Ramanathan: *Real-time computing: A new discipline of computer science and engineering*. Proceedings of the IEEE, vol. 82, no. 1, January 1994, pp. 6–24.
2. K. Ramamritham, J. A. Stankovic: *Scheduling algorithms and operating systems support for real-time systems*. Proceedings of the IEEE, vol. 82, no. 1, January 1994, pp. 55–67.

3. L. Sha, R. Rajkumar, S. S. Sathaye: *Generalized rate-monotonic scheduling theory: A framework for developing real-time systems*. Proceedings of the IEEE, vol. 82, no. 1, January 1994, pp. 68–82.
4. J. Veriet: *Scheduling interval-ordered tasks with non-uniform deadlines subject to non-zero communication delays*. Parallel Computing 25 (1999), pp. 3–21.
5. R. H. Mohring, M. W. Schaffter: *Scheduling series-parallel orders subject to 0/1- communication delays*. Parallel Computing 25 (1999), pp. 23–40.
6. Munier: *Approximation algorithms for scheduling trees with general communication delays*. Parallel Computing 25 (1999), pp. 41–48.
7. Boeres, V. E. F. Rebello: *A versatile cost modelling approach for multicomputer task scheduling*. Parallel Computing 25 (1999), pp. 63–86.
8. J. Błażewicz, M. Drozdowski, M. Markiewicz: *Divisible task scheduling — Concept and verification*. Parallel Computing 25 (1999), pp. 87–98.
9. K. Amoura, E. Bampis, Y. Manoussakis, Z. Tuza: *A comparison of heuristics for scheduling multiprocessor tasks on three dedicated processors*. Parallel Computing 25 (1999), pp. 49–61.
10. Błażewicz, P. Dell’Omo, M. Drozdowski, M. G. Speranza: *Scheduling multiprocessor tasks on three dedicated processors*. Information Processing Letters 49 (1994), pp. 269–270.
11. M. X. Goemans: *An approximation algorithm for scheduling on three dedicated processors*. Discrete Applied Mathematics 61 (1995), pp. 49–59.
12. Bianco, P. Dell’Omo, M. G. Speranza: *Nonpreemptive scheduling of independent tasks with prespecified processor allocation*. Naval research Logistics 41 (1994), pp. 959–971.
13. G. Bozoki, J. P. Richard: *A branch-and-bound algorithm for the continuous-process task shop scheduling problem*. AIIE Transactions 2 (1970), pp. 246–252.
14. S. Johnson: *Approximation algorithms for combinatorial problems*. Journal of Computer and System Science 9 (1974), pp. 256–278.
15. T. H. Cormen, C. E. Leiserson, R. L. Rivest: *Introduction to algorithms*. MIT Press, Cambridge, MA, 1990.
16. H. Kellerer, R. Mansini, U. Pferschy, M. G. Speranza: *An efficient fully polynomial approximation scheme for the subset-sum problem*. Technical Report, University of Brescia, 1997.
17. M. Gajer: *Porównanie efektywności różnych algorytmów szeregowania zadań wieloprocesorowych*. Kwartalnik Elektroniki i Telekomunikacji, 2000, 46, z. 1, pp. 21–34.

M. GAJER

THE CHOSEN PROBLEMS OF MULTIPROCESSOR TASK SCHEDULING FOR DEDICATED PROCESSORS

Summary

In many modern computer systems multiprocessor solutions are more and more often applied. This concerns especially computer systems that are used in the real-time applications. At present the real-time systems constitute the well-defined class of computer systems. The real-time systems are getting more and more popular in many fields of industry and communication. The real-time systems are used to control telecommunication devices and systems, defense systems, avionics and modern factories. In fact many modern facilities cannot do without them. For example without the real-time systems there would be no nuclear power plants, space ships, jet aircrafts, modern factories with robots etc.

The program realized by the real-time computer system is divided into special tasks performing given functions. In the case of the real-time systems a very important matter is to guarantee that all the task are to be finished before their deadline points. In the case of the hard real-time systems any exceeding task deadline is absolutely intolerable. Such event if happens may lead to uncontrollable behavior of the system, which can cause a disaster, for example an aircraft crash, a loss of human life etc.

To guarantee the main goal of the system is as possible to form

There are different algorithms for scheduling tasks that are preemptive and tasks that are dedicated to two or more processors.

As was shown, tasks meet the requirements of the system is expected to do a multiprocessor scheduling.

In the paper the case of scheduling Multiprocessor Instruments Texas Instruments

The proposed algorithm, because it is divided into two tasks dedicated to two processors illustrated with

Keywords: task

To guarantee that the task deadlines will be always met, the task scheduling theory was developed. The main goal of the task scheduling theory is to demonstrate at the system development phase that under all the possible to foreseen circumstances the task deadlines will always be met.

There does not exist one universal task scheduling algorithm for all kinds of task. There are separate algorithms for periodic tasks and tasks that are event-triggered. Also there are different algorithms for tasks that are preemptive and for tasks that are not preemptive. There exist also quite different algorithms for tasks that are dedicated for one processor only and for so-called multiprocessor tasks that require for their execution two or more processor at the time.

As was earlier mentioned in the case of the real-time systems the most important factor is whether the tasks meet the predefined time constraints. In order to meet the hard time constraints very often a multiprocessor system is used in stead of a sequential system with only one processor. The multiprocessor system is expected to deliver much more computational power than a single processor system, however, the usage of a multiprocessor system requires simultaneously to solve a non-easy problem of multiprocessor task scheduling.

In the paper a brief introduction to the problems of multiprocessor task scheduling is given. Further the case of scheduling a set of independent multiprocessor tasks for four dedicated processors is examined. Multiprocessor systems with four processors are very popular at the present time. For example the Texas Instruments TMS320C80 is a single-chip multiprocessor system composed of four DSP processors. Earlier Texas Instruments offered a personal computer boards with four TMS320C40 processors.

The proposed algorithm of multiprocessor task scheduling was called a Divide Uniprocessor Task (DUT) algorithm, because all the tasks dedicated for a single processor are grouped together and then the whole set is divided into two subsets, one of which has the length as close as possible to the execution time of compatible tasks dedicated for other three processors. In the paper the process of multiprocessor task scheduling is illustrated with examples and the results of computer simulations are also presented.

Keywords: task scheduling, multiprocessor systems, multiprocessor tasks, real-time systems

Procesor list

V
walnej
FPGA
statycz
dynam
dzie z
proces
automa
VHDL

Słowa

Celem
programow
wymagań
procesor o

Podsta

- możliwo
- wcześni
- możliwo
- kazów p

Procesory z dynamicznie programowaną przez użytkownika listą rozkazów implementowane w układach FPGA

KAZIMIERZ WIATR

*Katedra Elektroniki, Akademia Górniczo-Hutnicza
30-059 Kraków, al. Mickiewicza 30
wiatr@uci.agh.edu.pl*

Otrzymano 2002.02.21

Autoryzowano 2002.06.26

W niniejszym artykule przedstawiono koncepcję implementacji w strukturze programowalnej FPGA procesora z dynamicznie kształtowaną listą rozkazów. Układy programowalne FPGA swoją konfigurację mają zapisywaną w trakcie programowania w wewnętrznej pamięci statycznej RAM i dlatego można wielokrotnie zmieniać tę konfigurację. Pozwala to na dynamiczne kształtowanie konfiguracji tego układu. W szczególności możemy w takim układzie zaimplementować procesor ogólnego przeznaczenia, przy czym lista rozkazów takiego procesora może być każdorazowo kształtowana przez użytkownika. Opracowano środowisko do automatycznego projektowania takich procesorów z wykorzystaniem języka opisu sprzętu VHDL. W artykule podano także przykładową implementację wybranej listy rozkazów.

Słowa kluczowe: architektury dedykowane elementów obliczeniowych, procesory specjalizowane, programowalne układy logiczne

1. WSTĘP

Celem niniejszego artykułu jest przedstawienie możliwości jakie dają układy programowalne pod względem elastycznego dostosowania sprzętu do konkretnych wymagań użytkownika. Jest to aplikacja służąca do generowania kodu definiującego procesor ogólnego przeznaczenia w języku opisu sprzętu VHDL [15, 21].

Podstawowe wymagania jakie musi spełniać takie opracowanie to:

- możliwość dowolnego wyboru rozkazów implementowanych w układzie z listy wcześniej opracowanych rozkazów,
- możliwość definicji przez użytkownika nowego rozkazu dołączanego do listy rozkazów procesora.

Obydwa powyższe wymagania mogą być zrealizowane przy użyciu układów FPGA [8, 10, 11, 12] dzięki temu, że są to układy rekonfigurowalne. Użytkownik ma możliwość określenia liczby oraz rodzaju rozkazów jakie zostaną zaimplementowane. Dzięki temu w zależności od konkretnego algorytmu możliwy jest wybór optymalnego zbioru rozkazów wykorzystywanego do realizacji tego algorytmu. Przykładowo kiedy realizowany algorytm wymaga dużej liczby skomplikowanych obliczeń, korzystne jest zaimplementowanie większości lub wszystkich rozkazów arytmetycznych. Natomiast kiedy algorytm silnie zależy od wyników wykonywanych operacji (jest mocno rozgałęziony), korzystne jest zaimplementowanie rozkazów skoków warunkowych, warunkowych wywołań procedur, powrotów warunkowych. Prawie nigdy nie ma potrzeby implementowania całej listy rozkazów. Dzięki dynamicznemu kształtowaniu tej listy, użytkownik poprzez wybór określonego zestawu rozkazów może optymalnie wykorzystać sprzęt. Ograniczona lista rozkazów to automatycznie mniejsza powierzchnia wykorzystywanej struktury układu. Dzięki temu ogranicza się koszt sprzętu.

Użytkownik ma również możliwość definiowania własnych, nowych rozkazów. W tym celu jest pozostawiony pewien zakres kodów, które można wykorzystać. Nowe rozkazy mogą być definiowane z użyciem predefiniowanych procedur. Równocześnie nie ma ograniczenia na ilość odwołań do pamięci w jednym rozkazie. Daje to użytkownikowi nieograniczone możliwości w konstruowaniu rozkazów. Cecha ta szczególnie przydatna jest przy realizacji algorytmów wymagających wykonywania szeregu powtarzających się operacji. Przykładowo, jeśli konieczne jest częste obliczanie wyniku pewnej znanej funkcji na podstawie określonych zmiennych, można zdefiniować jeden rozkaz realizujący taką funkcję. Można wręcz definiować całe procedury w postaci jednego rozkazu. Wpływa to wydatnie na zwieżłość kodu programu oraz ograniczenie rozmiarów pamięci do jego zapisu. Dwie wyżej wymienione cechy determinowały strukturę opracowanego procesora.

2. OPIS PROCESORA

Podstawowym wymaganiem jakie musiało spełnić to opracowanie było, aby procesor posiadał dynamicznie kształtowaną listę rozkazów. Wymagane również było aby użytkownik mógł sam definiować własne rozkazy. Czynniki te wpłynęły na konstrukcję procesora [8, 18]. Po to aby użytkownik łatwo mógł definiować rozkazy, koniecznym stało się behawioralne opisanie bloku wykonującego i dekodującego rozkazy. Taki opis spowodował, że definiowanie nowych rozkazów stało się bardzo łatwe i naturalne. Należy podkreślić, że użytkownik może również definiować własne, dodatkowe linie wejścia-wyjścia, co w połączeniu z możliwością definicji nowych rozkazów daje nieograniczone możliwości w rozbudowie sprzętu. Dla pokazania tej możliwości w końcowej fazie opracowania został dodany 16-to bitowy port wejścia-wyjścia wraz z kilkoma rozkazami, które go obsługują.

- Najwa
- architekt
 - 16-bitow
 - 20-bitow
 - 16-bitow
 - możliwo
 - możliwo
 - 108 rozk
 - przes
 - arytr
 - logic
 - bitow
 - skok
 - steru
 - wejś
 - użyt
 - cztery sp
 - naty
 - bezp
 - rejes
 - rejes
 - dwie lin
 - osiem 1
 - cztery 2
 - 16-bitow
 - przez uż

Procesor fi

- B1 — b
- B2 — b
- B3 — b

Proces
program c
Non Mask
tryb obsł
zaawansov
rupt.

Na ry
4 punkty
i jest test

Najważniejsze cechy procesora to:

- architektura umożliwiająca definiowanie przez użytkownika własnych rozkazów;
- 16-bitowa magistrala danych;
- 20-bitowa magistrala adresowa;
- 16-bitowy port wejścia/wyjścia;
- możliwość bezpośredniego adresowania 1 M słów pamięci;
- możliwość wykonywania operacji na bitach;
- 108 rozkazów, które można podzielić na następujące grupy:
 - przesłań,
 - arytmetyczne,
 - logiczne,
 - bitowe,
 - skoków,
 - sterujące,
 - wejścia-wyjścia,
 - użytkownika;
- cztery sposoby adresowania pamięci:
 - natychmiastowe,
 - bezpośrednie,
 - rejestrowe,
 - rejestrowe pośrednie;
- dwie linie przerwań;
- osiem 16-bitowych rejestrów danych oraz akumulator;
- cztery 20-bitowe rejestry adresowe;
- 16-bitowy rejestr statusowy, w którym bity od 9 do 15 są wolne, tzn. mogą być użyte przez użytkownika.

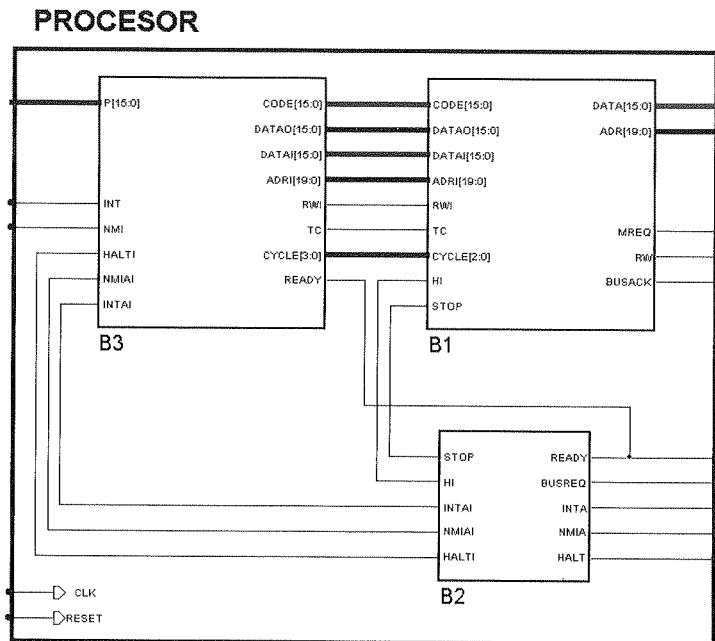
2.1. STRUKTURA PROCESORA

Procesor funkcjonalnie składa się z trzech głównych bloków pokazanych na rysunku 1:

- B1 — blok sterujący magistralą adresową, danych oraz sygnałami zapisu/odczytu,
- B2 — blok testujący zewnętrzne linie sterujące,
- B3 — blok dekodujący i wykonujący rozkazy.

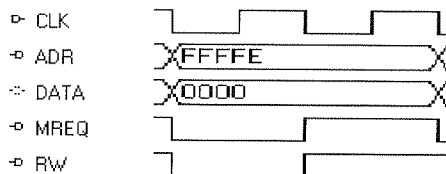
Procesor posiada dwie linie przerwań. Po przyjęciu przerwania procesor wykonuje program obsługi zawarty w pamięci odpowiednio od adresu 00004h dla NMI (ang. *Non Mask Interrupt*) oraz 00008/h dla INT (ang. *Interrupt Request*). Jest to jedyny tryb obsługi przerwań. W przypadku kiedy użytkownik będzie wymagał bardziej zaawansowanego sposobu obsługi należy odpowiednio zmodyfikować procedurę Interrupt.

Na rysunkach 2 i 3 przedstawiono cykle zapisu i odczytu magistrali, a na rysunku 4 punkty badania stanu linii wejściowych. Sygnał RESET ma najwyższy priorytet i jest testowany asynchronicznie przez cały czas trwania cyklu.



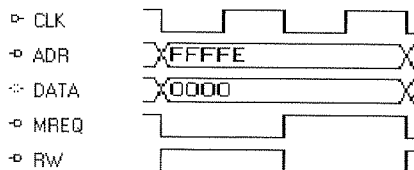
Rys. 1. Schemat blokowy procesora

Fig. 1. Schematic diagram of processor



Rys. 2. Cykl zapisu magistrali

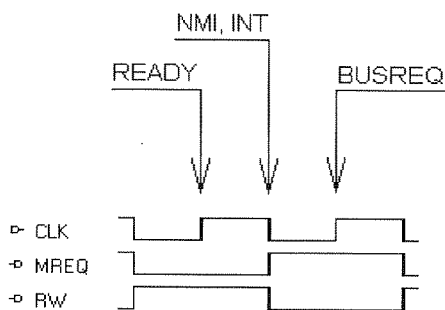
Fig. 2. Data write on the bus



Rys. 3. Cykl odczytu magistrali

Fig. 3. Data read from the bus

Zaproj
wewnętrz
rejstru sta



Rys. 4. Punkty badania stanu linii wejściowych

Fig. 4. Points of test input lines

2.2. MAGISTRALIE I REJESTRY

Zaprojektowany procesor posiada 64 wyprowadzenia, opisane w tabeli 1. Rejestry wewnętrzne procesora są przedstawione w tabeli 2, a znaczenie poszczególnych bitów rejestru statusowego SR przedstawia tabela 3.

Tabela 1

Definicje linii i magistrali procesora
Definition of processor lines and buses

Znaczenie	Nazwa	Kierunek
magistrala danych	D0-D15	wejście-wyjście
magistrala adresowa	A0-A19	wejście
port danych	P0-P15	wejście-wyjście
żądanie dostępu do pamięci	! MREQ	wyjście
odczyt/zapis pamięci	R/!W	wyjście
zatrzymanie procesora	!HALT	wyjście
wydłużanie cyklu procesora	READY	wejście
przerwanie maskowalne	!INT	wejście
przerwanie niemaskowalne	!NMI	wejście
akceptacja przerwania NMI	!NMIA	wyjście
akceptacja przerwania INT	!INTA	wyjście
zerowanie procesora	!RESET	wejście
żądanie magistrali	!BUSREQ	wejście
potwierdzenie zwolnienia magistrali	!BUSACK	wyjście
zegar	CLK	wejście

Tabela 2

Rejestry procesora

Processor registers

Nazwa	Mnemonik	Ilość bitów
akumulator	A	16
rejestry danych	D0–D7	16
rejestry adresowe	A0–A3	20
licznik programu	PC	20
wskaźnik stosu	SP	20
rejestr statusowy	SR	16
rejestr kierunku portu	PD	16

Tabela 3

Rejestr statusowy

Status register

Nr bitu	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Znaczenie	W	W	W	W	W	W	W	P	H	IH	IN	IM	S	Z	V	C

gdzie:

- W — Wolny, do wykorzystania przez programistę,
- P — Parity, ustawiany jeśli liczba jedynek w akumulatorze jest parzysta,
- H — Halt, ustawiany jeśli procesor jest w stanie zatrzymania,
- IH — Interrupt Help, przechowuje stan znacznika IM podczas obsługi przerwania niemaskowalnego,
- IN — Interrupt Non maskable, ustawiony w trakcie obsługi przerwania niemaskowalnego,
- IM — Interrupt Maskable, ustawiony w trakcie obsługi przerwania maskowalnego i zmieniany rozkazami : EI, DI,
- S — Sign, stan znacznika odpowiada stanowi 15-tego bitu akumulatora i określa znak liczby zapisanej w kodzie U2 w akumulatorze,
- Z — Zero, ustawiany jeśli w akumulatorze jest zero,
- V — oVerflow, ustawiany jeśli wystąpiło przepełnienie, tzn. jeśli został przekroczony zakres dla liczb zapisanych w kodzie U2,
- C — Carry, ustawiany jeśli nastąpiło przeniesienie.

Proces P1
Proces P1 v
dane na m
impedancji.
Proces P2
Proces P2 c
magistralę
Proces P3
Proces P3 t
Proces P4
Proces P4 t
Proces P5
W zależnos
steruje zew
Proces P6
Proces P6
Przestaje b
Proces P7
Proces P7 z
NMI, INT.
to wywołu
magistrali i

Procedura
Procedura

Procedura
vector)
Procedura
wektora (1

Procedura
vector)
Procedura
wektora (1

Tabela 2

3. ELEMENTY SKŁADOWE KODU ŹRÓDŁOWEGO OPISUJĄCEGO PROCESOR

3.1. OPIS PROCESÓW

Proces P1

Proces P1 w zależności od sygnałów 'stop', 'hi' oraz 'clk' wystawia ważne: adres oraz dane na magistralach w cyklu zapisu lub wprowadza magistrale w stan wysokiej impedancji.

Proces P2

Proces P2 odczytuje dane z magistrali i w zależności od sygnału 'tc' przekazuje je na magistralę wewnętrzną 'code' (pobranie kodu) lub 'datai' (odczyt danej).

Proces P3

Proces P3 testuje linię BUSREQ i odpowiednio steruje wewnętrznym sygnałem 'hi'.

Proces P4

Proces P4 testuje linię READY i odpowiednio steruje wewnętrznym sygnałem 'stop'.

Proces P5

W zależności od stanu wewnętrznych sygnałów 'nmiai', 'intai' oraz 'halti' proces P5 steruje zewnętrznymi liniami NMIA, INTA oraz HALT.

Proces P6

Proces P6 steruje wewnętrznym sygnałem 'resetdec'. Sygnał ten zeruje dekodery. Przestaje być aktywny o jeden okres zegara później niż sygnał RESET.

Proces P7

Proces P7 zwiększa licznik programu, wywołuje procedurę Decoder oraz bada stan linii NMI, INT. Jeśli przynajmniej jedna z nich jest aktywna oraz przerwania są odblokowane to wywołuje procedurę Interrupt. Proces rozstrzyga również czy w następnym cyklu magistrali nastąpi pobranie kodu rozkazu.

3.2. OPIS PROCEDUR

Procedura After_reset

Procedura After Reset ustawia rejestry i flagi po sygnale RESET.

Procedura Inc (x :in std_logic_vector; xrange :in integer; xo :out std_logic_vector)

Procedura ta zwiększa wektor 'x' o 1, xrange musi określać rozmiar wektora. Dla wektora (15 downto 0), 'xrange' musi wynosić 16.

Procedura Dec (x :in std_logic_vector; xrange :in integer; xo :out std_logic_vector)

Procedura ta zmniejsza wektor 'x' o 1, xrange musi określać rozmiar wektora. Dla wektora (15 downto 0), 'xrange' musi wynosić 16.

Tabela 3

2	1	0
Z	V	C

Procedura Write (address :adresstype; datah :datatype)

Procedura ta przypisuje wewnętrznym liniom adresowym, danych oraz linii 'rwi' wartości powodujące, że w następnym cyklu magistrali nastąpi zapis danej 'datah' do pamięci pod adres 'address'.

Procedura Read (address :adresstype)

Procedura ta przypisuje wewnętrznym liniom adresowym oraz linii 'rwi' wartości powodujące, że w następnym cyklu magistrali nastąpi odczyt pamięci o adresie 'address'. Po zakończeniu cyklu odczytu, odczytana dana jest dostępna na wewnętrznej magistrali 'datai'.

Procedura Next_instruction

Po wykonaniu tej procedury w następnym cyklu magistrali nastąpi pobranie kodu rozkazu. Powinna być użyta na końcu każdej procedury rozkazowej.

Procedure Bin_to_int (bin :in std_logic_vector; int :out integer)

Procedura zamienia 4-bitowy wektor na liczbę typu integer. Jest używana w procedurach obsługi rozkazów bitowych do określania numeru bitu, na którym ma być wykonywana określona operacja.

Procedura Interrupt

Procedura ta wykonywana jest po wykryciu sygnału żądania przerwania maskowalnego jak i niemaskowalnego. Zapisuje ona na stosie adres następnej komórki pamięci oraz wyprowadza procesor ze stanu zatrzymania.

Procedura Write_to_dr (number: in std_logic_vector (2 downto 0); datah: in datatype)

Procedura ta zapisuje daną 'datah' do rejestru danych o numerze podanym w formacie std_logic_vector(2 downto 0) w polu 'number'.

Procedure Read_from_dr (number: in std_logic_vector (2 downto 0); datah: out datatype)

Procedura ta odczytuje daną 'datah' z rejestru danych o numerze podanym w formacie std_logic_vector(2 downto 0) w polu 'number'.

Procedura Write_to_ar (number: in std_logic_vector (1 downto 0); datah: in adresstype)

Procedura ta zapisuje daną 'datah' do rejestru adresowego o numerze podanym w formacie std_logic_vector(1 downto 0) w polu 'number'.

Procedura Read_from_ar (number: in std_logic_vector (1 downto 0); datah: out adresstype)

Procedura ta odczytuje daną 'datah' z rejestru adresowego o numerze podanym w formacie std_logic_vector(1 downto 0) w polu 'number'.

Procedura

Procedura t
C oraz V. J

Procedura

Procedura t
znaczniki C

Procedura

Procedura t
w procedur

Procedura

Procedura ta
oraz 'V' nie
arytmetyczn

Rozkazy

podzielone n

- rozkazy p
- rozkazy a
- rozkazy l
- rozkazy o
- rozkazy s
- rozkazy st
- rozkazy o

Słow

1

Słow

2

W tabeli
Poszczególne

Procedura Plus (v1,v2:in datatype ;v3 :out datatype)

Procedura ta sumuje wektory v1 oraz v2, wynik zapisuje w v3. Modyfikuje znaczniki C oraz V. Jest używana w procedurach obsługi rozkazów arytmetycznych.

Procedura Minus (v1,v2:in datatype ;v3 :out datatype)

Procedura ta odejmuje wektor v2 od wektora v1, a wynik zapisuje w v3. Modyfikuje znaczniki C oraz V. Jest używana w procedurach obsługi rozkazów arytmetycznych.

Procedura Pc_plus_offset (offset :in std_logic_vector)

Procedura ta dodaje do PC 8-bitowy 'offset' zapisany w kodzie U2. Jest używana w procedurach obsługi skoków względnych.

Procedura Modify_flags (reg :in datatype)

Procedura ta modyfikuje znaczniki zgodnie ze stanem rejestru 'register'. Znaczniki 'C' oraz 'V' nie są tutaj zmieniane. Muszą być one modyfikowane w każdych procedurach arytmetycznych i logicznych indywidualnie.

4. OPIS ROZKAZÓW

Rozkazy mają zróżnicowaną długość (od 1 do 2 słów 16-bitowych) i zostały podzielone na następujące grupy:

- rozkazy przesłań,
- rozkazy arytmetyczne,
- rozkazy logiczne,
- rozkazy operacji na bitach,
- rozkazy skoków,
- rozkazy sterujące,
- rozkazy operacji na porcie.

Tabela 4

Format rozkazu

Instruction format

Słowo	Nr bitu	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	Znaczenie	długość	grupa			rodzaj			rejestr adresowy		rejestr danych			bity dodatkowe			
2	Nr bitu	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Znaczenie	16 bitowa dana bezpośrednia lub razem z 4 najmniej znaczącymi bitami z pierwszego słowa 20-bitowy adres bezpośredni															

W tabeli 4 przedstawiono znaczenie poszczególnych bitów w kodzie rozkazu. Poszczególne grupy bitów oznaczają:

- **długość** — określa długość rozkazu (tabela 5);
- **grupa** — określa do jakiej grupy rozkazów należy dany rozkaz (tabela 6);
- **rodzaj** — definiuje konkretny rozkaz w danej grupie (tabela 9);
- **r. adresowy** — określa numer rejestru adresowego, na którym jest wykonywana operacja określona przez mnemonik (tabela 7);
- **r. danych** — określa numer rejestru danych, na którym jest wykonywana operacja określona przez mnemonik (tabela 8);
- **bity dodatkowe** — spełniają różną funkcję w zależności od rodzaju rozkazu:
- w rozkazach przesłań między rejestrami danych określają rejestr przeznaczenia;
- ■ w rozkazach z 20-bitowym adresem przechowują 4 najbardziej znaczące bity tego adresu;
- ■ w rozkazach operacji bitowych określają numer bitu, na którym jest wykonywana operacja określona przez mnemonik;
- ■ w pozostałych rozkazach są rozszerzeniem grupy *rodzaj*.

Powyższy opis nie dotyczy rozkazów skoków względnych. W tych rozkazach bity od 1 do 8 określają przesunięcie zapisane w kodzie U2, przy czym bit 8 jest bitem znaku.

Tabela 5
Długość rozkazu
Long of instruction

Bit 15 — długość rozkazu	
Wartość	Długość
0	16 bitów
1	32 bity

Tabela 6
Grupy rozkazów
Groups of instructions

Bity 14, 13, 12 — grupa rozkazów:			
Bit 14	Bit 13	Bit 12	Rozkazy
0	0	0	przesłań
0	0	1	op. arytmetyczne
0	1	0	op. logiczne
0	1	1	op. bitowe
1	0	0	skoków
1	0	1	sterujące
1	1	0	op. na porcie
1	1	1	użytkownika

);
wykonywana
na operacja
azu:
czenia;
ce bity tego
wykonywana
kazach bity
3 jest bitem

Tabela 7

Rejestr adresowy

Address register

Bity 8 , 7 — rejestr adresowy		
Bit 8	Bit 7	Rejestr
0	0	A0
0	1	A1
1	0	A2
1	1	A3

Tabela 8

Rejestr danych

Data register

Bity 6 , 5 , 4 — rejestr danych			
Bit 6	Bit 5	Bit 4	Rejestr
0	0	0	D0
0	0	1	D1
0	1	0	D2
0	1	1	D3
1	0	0	D4
1	0	1	D5
1	1	0	D6
1	1	1	D7

Tabela 9

Rodzaje rozkazów

Different sort of instructions

Bity 11 , 10 , 09 – rodzaj rozkazów					
Dla rozkazów przesłań					
Bit 11	Bit 10	Bit 9	Rozkaz		
0	0	0	Przesłania z użyciem akumulatora A		
0	0	1	Przesłania z argumentem w drugim słowie za K.O.		
0	1	0	Przesłania z użyciem rejestrów 'r' i 'ra'		
0	1	1	Przesłania z użyciem stosu		
X	X	X	Przesłania z 20 bitowym adresem w K.O.		
Dla rozkazów operacji arytmetycznych					
Bit 11	Bit 10	Bit 9	Rozkaz		
0	0	0	Dodawanie z przeniesieniem		
0	0	1	Odejmowanie z pożyczką		
0	1	0	Inkrementacja		
0	1	1	Dekrementacja		
1	X	X	Op. z 20 bitowym adresem argumentu w K.O.		
1	0	0	Przesunięcia arytmetyczne		
Dla rozkazów operacji bitowych					
Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Rozkaz
X	X	X	0	0	Op. na akumulatorze „A”
X	X	X	0	1	Op. na rejestrze danych „r”
X	X	X	1	0	Op. na rejestrze statusowym „SR”
X	X	X	1	1	Op. na bicie „C”
Dla rozkazów operacji logicznych					
Bit 11	Bit 10	Bit 9	Rozkaz		
0	0	0	Iloczyn		
0	0	1	Suma		
0	1	0	XOR		
0	1	1	Negacja		
1	0	0	Przesunięcia logiczne z akumulatorem		
1	0	1	Przesunięcia logiczne z rejestrem 'r'		
1	1	0	Zamiana bajtów starszy/młodszy		

Znaczenie

- SRC — przesła
- SR —
- DST —
- DS —
- BBBB
- EEEEE
- NN —
- NNNN
- N15-N
- AAAA
- A15-A
- X — w

Okno

Progr

kownik m
dopisać w
zdefiniow

Z lew

„kliknięci
rozkażu w

- zwinięc
- rozwin
- zaznac
- odznac

Dla rozkazów skoków			
Bit 11	Bit 10	Bit 9	Rozkaz
X	X	X	Skoki bezwzględne
X	X	X	Skoki względne
X	X	X	Rozkazy powrotów
Dla rozkazów sterujących			
Bit 11	Bit 10	Bit 9	Rozkaz
0	0	0	Wszystkie

Znaczenie poszczególnych symboli w poniższym opisie jest następujące:

- **SRC** — numer rejestru danych, na którym jest wykonywana operacja, a w rozkazach przeskakiwania numer rejestru źródłowego,
- **SR** — numer źródłowego rejestru adresowego,
- **DST** — numer docelowego rejestru danych,
- **DS** — numer docelowego rejestru adresowego,
- **BBBB** — numer bitu, na którym przeprowadzana jest określona operacja,
- **EEEEEEEE** — przesunięcie zapisane w kodzie U2,
- **NN** — 16 bitowy argument bezpośredni,
- **NNNN** — 4 najbardziej znaczące bity 20-bitowego argumentu bezpośredniego,
- **N15-N0** — 16 mniej znaczących bitów 20-bitowego argumentu bezpośredniego,
- **AAAA** — 4 najbardziej znaczące bity adresu bezpośredniego,
- **A15-A0** — 16 mniej znaczących bitów adresu bezpośredniego,
- **X** — wartość bitu nieistotna.

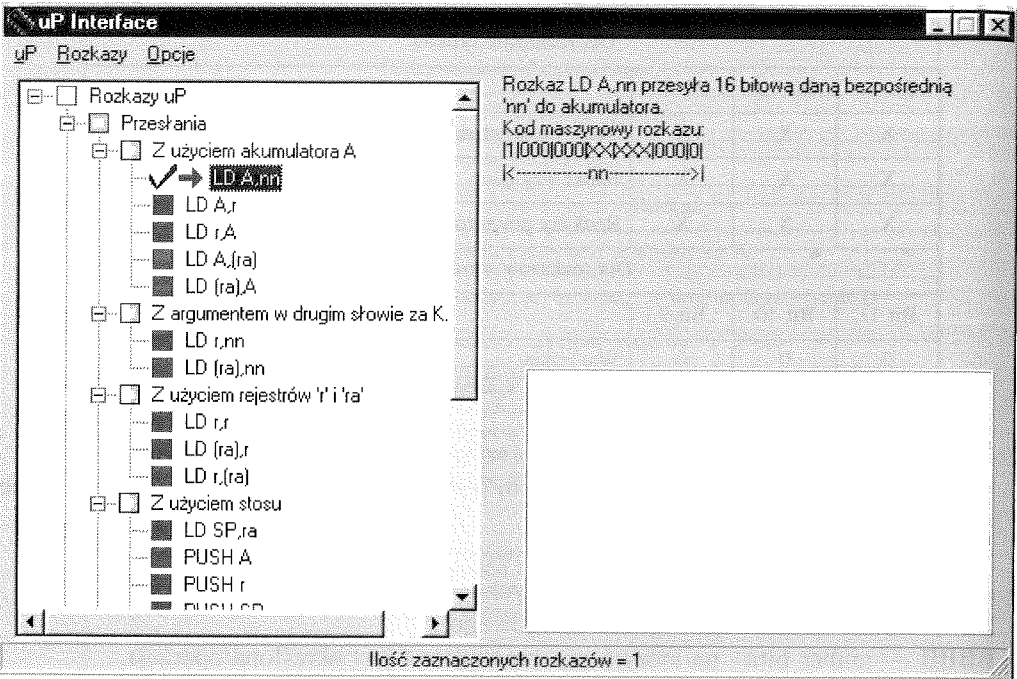
5. OPIS INTERFEJSU UŻYTKOWNIKA

Okno główne

Program „µP Interfejs” umożliwia tworzenie kodu źródłowego procesora. Użytkownik może utworzyć dowolną listę rozkazów spośród już istniejących jak również dopisać własne rozkazy. Program umożliwia również poprawianie i usuwanie rozkazów zdefiniowanych przez użytkownika.

Z lewej strony okna programu znajduje się rozwijana lista rozkazów procesora. Po „kliknięciu” na danym rozkazie, w prawej części okna pojawia się krótki opis tego rozkazu wraz z jego kodem maszynowym. Menu „Rozkazy” umożliwia:

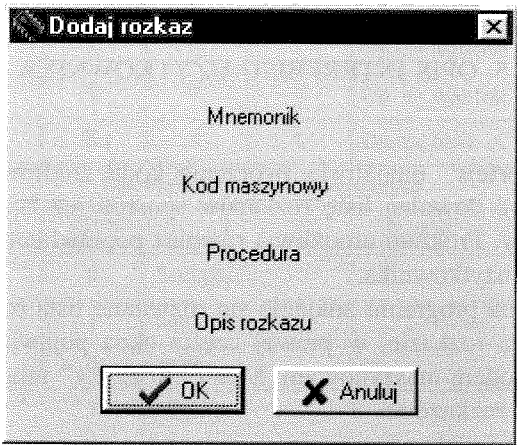
- zwiniecie całej listy rozkazów;
- rozwinięcie całej listy rozkazów;
- zaznaczenie wszystkich rozkazów;
- odznaczenie wszystkich rozkazów.



Rys. 5. Okno główne interfejsu użytkownika

Fig. 5. Main window of user interface

Aby zaznaczyć pojedynczy rozkaz należy na nim dwukrotnie kliknąć. Ilość zaznaczonych rozkazów jest wyświetlana na pasku w dolnej części okna.



Rys. 6. Okno „Dodaj rozkaz”

Fig. 6. Window „Instruction addition”

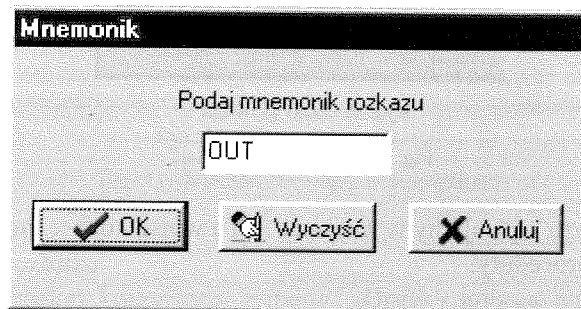
Doda
Aby c
worzeniu
przycisk s
Mnem
mnemonik
zawierać
dostępnych
nio: „Rozk
Zapobiega
pilator języ

Kod ma
wpisanie cy
1. Długość
• 0 —
• 1 —
2. Grupa roz

Dodawanie rozkazu

Aby dodać nowy rozkaz korzystamy z menu : „Opcje/Dodaj rozkaz”. Po otworzeniu okna „Dodaj rozkaz” aktywny jest tylko przycisk „Mnemonic”. Następny przycisk stanie się aktywny dopiero po zdefiniowaniu mnemoniki rozkazu itd.

Mnemonic rozkazu wpisujemy w pole edycyjne. Program pozwala na wpisanie mnemonika składającego się z dowolnych znaków. Liczba znaków mnemonika musi zawierać się od 1 do 15. Wpisana nazwa rozkazu będzie wyświetlana w liście dostępnych rozkazów, natomiast w kodzie procesora zostanie zamieniona na odpowiednio: „Rozkaz_1” dla pierwszego dodanego rozkazu , „Rozkaz_2” dla drugiego itd. Zapobiega to wprowadzeniu nazwy rozkazu, która byłaby niepoprawna i którą kompilator języka VHDL mógłby zinterpretować jako błąd.

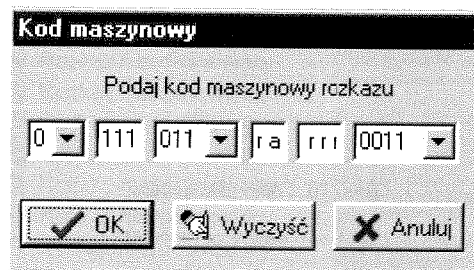


Rys. 7. Okno „Mnemonic”

Fig. 7. Window „Mnemonic”

Kod maszynowy rozkazu wpisujemy w kolejne pola edycyjne. Program pozwala na wpisanie cyfr: 0 lub 1. Znaczenie poszczególnych pól jest następujące:

1. Długość rozkazu — długość 1 bit:
 - 0 — rozkaz 16 bitowy,
 - 1 — rozkaz 32 bitowy.
2. Grupa rozkazów — długość 3 bity. Pole tylko do odczytu.

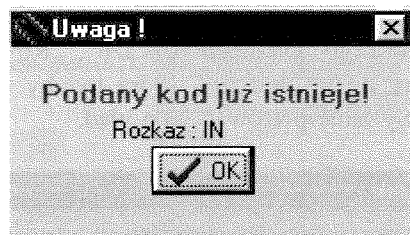


Rys. 8. Okno „Kod maszynowy”

Fig. 8. Window „Machine Code”

3. Rodzaj rozkazu — długość 3 bity.
4. Rejestr adresowy — długość 2 bity. Podawane jako parametr w programie.
5. Rejestr danych — długość 3 bity. Podawane jako parametr w programie.
6. Bity dodatkowe — długość 4 bity.

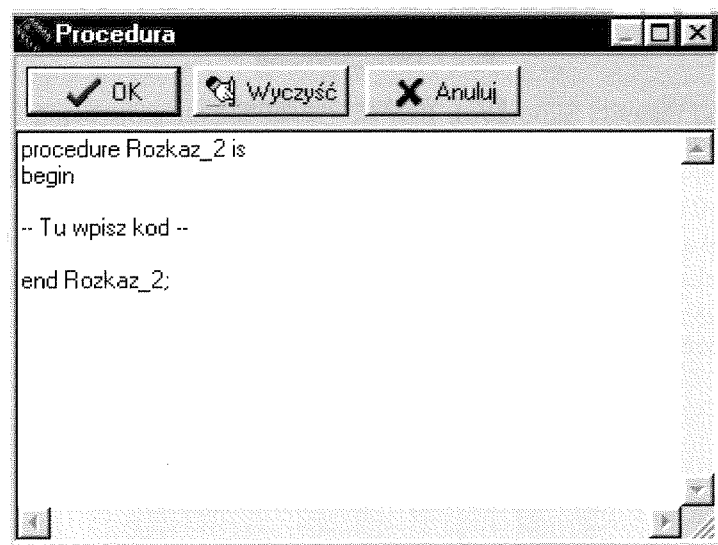
Jeśli wpisany kod został już przydzielony innemu rozkazowi to po naciśnięciu przycisku „OK” pojawi się informacja, który rozkaz ma ten sam kod maszynowy.



Rys. 9. Okno „Uwaga”

Fig. 9. Window „Attention”

Procedurę rozkazu wpisujemy w miejscu: -- Tu wpisz kod-- . Program nie sprawdza poprawności kodu procedury.



Rys. 10. Okno „Procedura”

Fig. 10. Window „Procedure”

Jako opis automatycznie wpisuje się nazwa mnemonika oraz kod maszynowy dodawanego rozkazu.

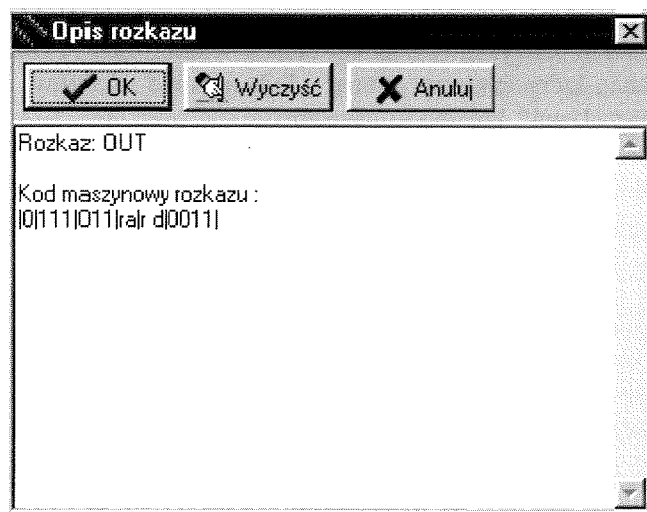
Popraw
Aby p
klikając z
mnemonik
rozkazów
razowo m
to kolejno

e.

naciśnięciu
nowy.

nie sprawdza

maszynowy

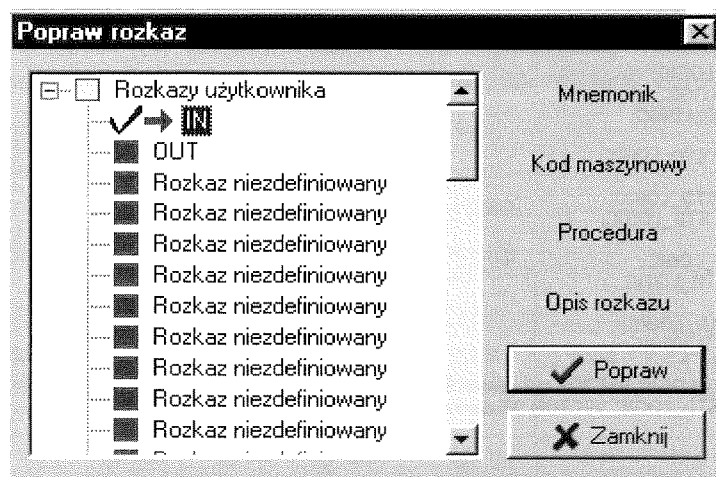


Rys. 11. Okno „Opis rozkazu”

Fig. 11. Window „Instruction description”

Poprawianie rozkazu

Aby poprawić rozkaz korzystamy z menu: „Opcje / Popraw rozkaz” . Dwukrotnie klikając zaznaczamy rozkaz, który chcemy poprawić. Następnie dokonujemy zmiany mnemonika, kodu, procedury lub opisu. Po dokonaniu jakiegokolwiek zmiany lista rozkazów staje się nieaktywna, aż do zatwierdzenia przyciskiem „Popraw”. Jednocześnie możemy zaznaczyć tylko jeden rozkaz. Jeśli chcemy poprawić więcej rozkazów to kolejno je zaznaczamy, poprawiamy i klikamy „Popraw”.

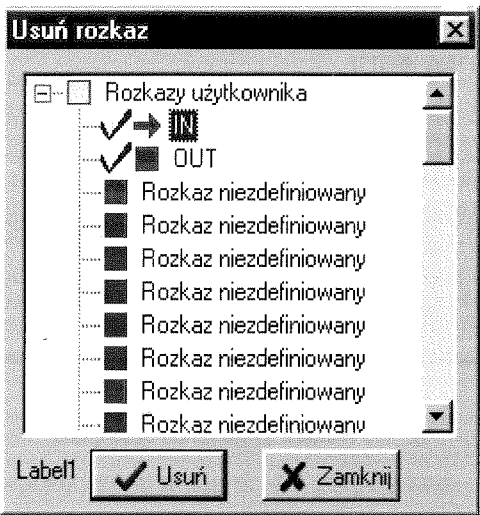


Rys. 12. Okno „Popraw rozkaz”

Fig. 12. Window „Instruction correction”

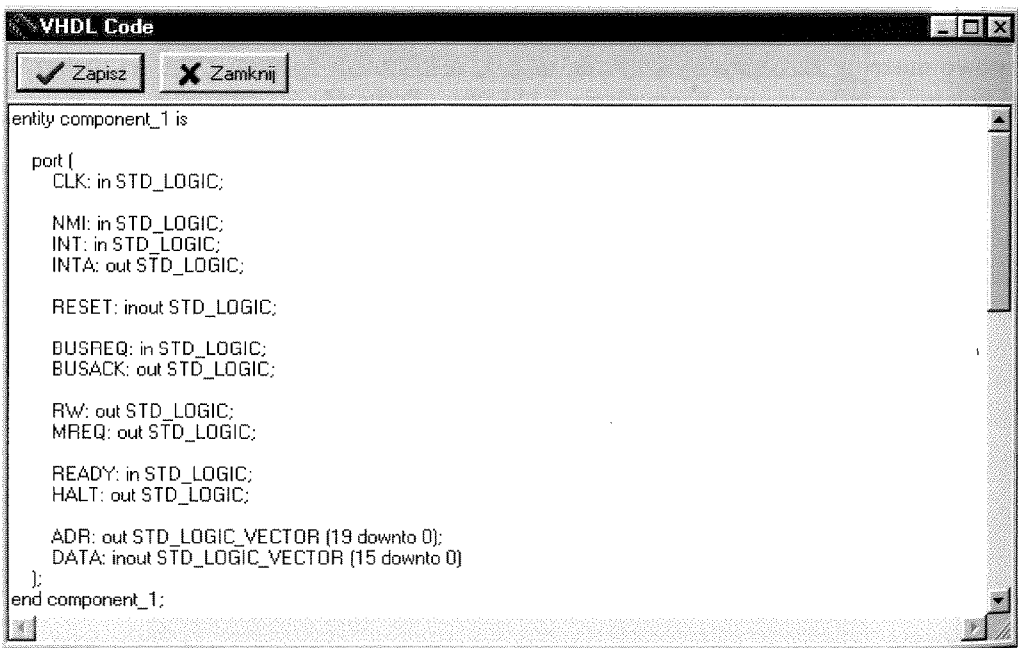
Usuwanie rozkazu użytkownika

Aby usunąć rozkaz korzystamy z menu: „Opcje/Usuń rozkaz”. Dwukrotnie klikając zaznaczamy rozkaz, który chcemy usunąć. Jednorazowo możemy zaznaczyć wiele rozkazów i klikając „Usuń” kolejno je usuwamy.



Rys. 13. Okno „Usuń rozkaz”

Fig. 13. Window „Delete instruction”



Rys. 14. Okno „Kod VHDL”

Fig. 14. Window „VHDL Code”

Tworzenie
Aby utworzyć plik”. Wcześniej uruchomić

Dla poprawienia implementacji:

Szczegółowe wytyczne w układzie dodatku A

Device
XC4020XL

Tworzenie pliku wynikowego

Aby utworzyć plik z kodem źródłowym procesora korzystamy z menu: „uP/Utwórz plik”. W oknie „VHDL Code” pojawia się kod źródłowy procesora z wybranymi wcześniej rozkazami. Aby go zapisać klikamy przycisk „Zapisz”. Następnie należy uruchomić kompilator języka VHDL i skompilować utworzony wcześniej plik.

6. PRZYKŁADOWA IMPLEMENTACJA

Dla potrzeb weryfikacji opisanej koncepcji i opracowanego oprogramowania podjęto implementację procesora. W procesorze tym zaimplementowano następujące rozkazy:

LD A,nn	LD A,(ss)	LD (ss),A	LD r,A
LD r,r	LD ra,ss	LD ra,A	PUSH A
POP A	PUSH SR	ADC nn	ADC (ss)
SBC nn	SBC r	ROR A	SLA A
SRA A	AND nn	XOR nn	NOT A
BIT b,A	SET b,A	NEG b,A	SET C
NEG C	SET b,SR	NEG b,SR	JP ss
JP_C ss	JP_NC ss	JR_Z,e	CALL ss
RET	RETI	RETN	NOP
HALT	EI	DI	LD A,P
LD P,A	LD PD,A		

Szczegółowy opis powyższych rozkazów byłby bardzo obszerny i jego umieszczenie wykracza poza ramy niniejszego opracowania. Procesor zaimplementowano w układzie XC4020XL [2, 17, 22], a raport z tej implementacji załączono w formie dodatku A. Dostępne zasoby tego układu są przedstawione w tabeli 10.

Tabela 10

Zasoby układu FPGA XC4020XL

Stock of XC4020XL FPGA chip

Device	Logic Cells	Max Logic Gates (No RAM)	Max. RAM Bits (No Logic)	Typical Gate Range (Logic and RAM)*	CLB Matrix	Total CLBs	Number Of Flip-Flops	Max. User I/O
XC4020XL	1862	20,000	25,088	13,000–40,000	28×28	784	2,016	224

7. PODSUMOWANIE

Spełnienie podstawowego celu opracowania czyli dynamiczne kształtowanie listy rozkazów oraz możliwość definicji rozkazów przez użytkownika wymagało znalezienia kompromisu między prostotą i łatwością pisania rozkazów a szybkością pracy procesora. Siła układów programowalnych FPGA polega m.in. na ich szybkości. Aby rzeczywiście wykorzystać ich potencjał, algorytm musi być zaimplementowany równolegle. Cały projekt powinien być podzielony na jak najmniejsze, współpracujące ze sobą bloki. Odpowiada to strukturalnej konstrukcji kodu w języku VHDL, bowiem wtedy operacje wykonywane są współbieżnie. Wadą takiego rozwiązania jest praktyczne zejście przy projektowaniu do poziomu rejestrowego, a nawet bramkowego. Bardzo trudnym staje się wtedy określenie jasnych i prostych metod konstruowania nowych rozkazów.

Opis behawioralny byłby najlepszy z punktu widzenia użytkownika. Definicja nowych rozkazów polegałaby wtedy na funkcjonalnym opisanie działania rozkazu. Użytkownik definiujący rozkazy mógłby praktycznie nie wnikać w konstrukcję „jądra” procesora. Definicja nowych rozkazów byłaby procesem w dużym stopniu niezależnym od konstrukcji procesora. Wadą opisu behawioralnego jest pogorszenie parametrów czasowych układu bowiem instrukcje w ciele behawioralnym są wykonywane sekwencyjnie.

Warto w tym miejscu zaznaczyć, że obszerną sferą rozwiązanych problemów była implementacja poszczególnych elementów logiki w układzie programowalnym i zakres tych rozwiązań w dużej mierze został omówiony w [1, 3, 4, 5, 6, 7, 9, 14, 16, 18].

W niniejszym opracowaniu przyjęto opis mieszany projektu. Strukturalno — behawioralne zdefiniowanie procesora pozwoliło na nie pogorszenie w sposób istotny parametrów czasowych układu, a jednocześnie proces definicji nowych rozkazów mógł pozostać na poziomie funkcjonalnym. Cały blok definiowania i wykonywania rozkazów został zdefiniowany behawioralnie dzięki temu definiujący nowe rozkazy tylko w minimalnym stopniu musi znać konstrukcję pozostałych bloków procesora.

Drugą zaletą takiego rozwiązania jest to, że zmiana listy rozkazów jest realizowana poprzez ingerencję tylko w jeden blok procesora, reszta struktury pozostaje nie zmieniona. Wydatnie ułatwia to realizację dynamicznej listy rozkazów z poziomu interfejsu użytkownika.

W niniejszej pracy dynamiczna lista rozkazów realizowana jest z poziomu użytkownika. Zaletą tego rozwiązania jest przejrzystość i wygoda w tworzeniu listy rozkazów oraz definiowaniu nowych. Jednakże użytkownik zmuszony jest „z góry” sztywno określić jakie rozkazy mają być zaimplementowane. Nie można zmieniać listy rozkazów w trakcie realizacji algorytmu. Aby wyeliminować tę niedogodność wskazana jest taka zmiana projektu, która umożliwi zmianę listy rozkazów z poziomu procesora. Na stałe mogłyby być zaimplementowane zupełnie podstawowe rozkazy umożliwiające wykonywanie prostych operacji, natomiast rozszerzenie listy rozkazów odbywałoby się poprzez załadowanie odpowiednich danych konfiguracyjnych z zewnętrznej pamięci na skutek wykonania przez procesor predefiniowanych rozkazów. Dzięki temu możliwe byłoby dopasowywanie listy rozkazów do algorytmu podczas jego wykonywania.

Głów
micznego
systemam
CoDesign
realizacja
Innego FPG
pomysłu
listę rozka

1. P. A s h
Publish
2. S. D. J
Dordre
3. R. K. F
Logic m
4. M. B o
1990.
5. J. C a r
6. S. D e v
7. G. D e l
8. P. K a l
w ukłac
9. Y. T. L
the IEEE
10. T. Ł u
i FPGA
11. E. M a
lers. Pr
12. J. P a s
13. J. R o s
gate ar
14. Z. S a
Logic.
15. K. S k
2001.
16. T. S o
17. S. M.
Publish
18. K. W i
wych. l
19. K. W i
na tle c
- 1999, s
20. K. W i
Hardw
Intellig

Głównym celem prezentowanej pracy badawczej było zbadanie możliwości dynamicznego kształtowania listy rozkazów procesora jako przyczynek do badań nad systemami mieszanymi [19, 20], wyposażonymi w mechanizm *Hardware/Software CoDesign*. W systemach takich część algorytmu wykonywana jest jako bezpośrednia realizacja zadań obliczeniowych algorytmu w zasobach logicznych układu programowalnego FPGA, a pozostała część algorytmu w klasycznym procesorze, przy czym według pomysłu autora procesor ten mógłby być zaimplementowany w układzie FPGA i jego listę rozkazów mógłby każdorazowo definiować sam użytkownik.

8. BIBLIOGRAFIA

1. P. Ashar, S. Devadas, A. R. Newton: *Sequential Logic Synthesis*. Dordrecht, Kluwer Academic Publishers, 1992.
2. S. D. Brown, R. J. Francis, J. Rose, Z. G. Vranesic: *Field-Programmable Gate Arrays*. Dordrecht, Kluwer Academic Publisher, 1992.
3. R. K. Brayton, G. D. Hachtel, C. T. McMullen, A. L. Sangiovanni-Vincentelli: *Logic minimization algorithms for VLSI synthesis*. Boston, Kluwer Academic Publisher, 1984.
4. M. Bolton: *Digital systems design with programmable logic*. Addison-Wesley Publishing Company, 1990.
5. J. Carter: *Digital Designing with Programmable Logic Devices*. New Jersey, Prentice Hall, 1997.
6. S. Devadas, A. Ghosh, K. Keutzer: *Logic Synthesis*. New York, McGraw-Hill, 1994.
7. G. De Micheli: *Synthesis and Optimization of Digital Circuits*. New York, McGraw-Hill, 1994.
8. P. Kalinowski, B. Grodny: *Procesory z dynamicznie kształtowaną listą rozkazów implementowane w układach FPGA*. Praca dyplomowa, Kraków, AGH, 2000.
9. Y. T. Lai, K. R. R. Pan, M. Pedram: *FPGA synthesis using function decomposition*. In Proceedings of the IEEE International Conference on Computer Design, pp. 30–35, Cambridge, 1994.
10. T. Łuba, K. Jasiński, B. Zbierzchowski: *Specjalizowane układy cyfrowe w strukturach PLD i FPGA*. Warszawa, WKiŁ, 1997.
11. E. Mandado, J. Marcos, A. Perez Serafin: *Programmable Logic Devices and Logic Controllers*. Prentice Hall, 1996.
12. J. Pasierbiński, P. Zbysiński: *Układy programowalne*. Warszawa, WKiŁ, 2001.
13. J. Rose, A. El Gamal, A. Sangiovanni-Vincentelli: *Architectures of field programmable gate arrays*. Proc. IEEE 81, 7, pp. 1013–1029, 1993.
14. Z. Salcic, A. Smailagic: *Digital Systems Design and Prototyping Using Field Programmable Logic*. Boston, Kluwer Academic Publisher, 1997.
15. K. Skahill: *Język VHDL. Projektowanie programowalnych układów logicznych*. Warszawa, WNT, 2001.
16. T. Sosa'o: *Logic Synthesis and Optimization*. Norwell MA, Kluwer Academic Publisher, 1993.
17. S. M. Trimberger: *Field- Programmable Gate Array Technology*. Norwell MA, Kluwer Academic Publisher, 1994.
18. K. Wiatr: *Analiza parametrów czasowych architektury potokowej specjalizowanych procesorów sprzętowych*. Kwartalnik Elektroniki i Telekomunikacji PAN, t. 44, z. 3, Warszawa, 1998, ss. 87–108.
19. K. Wiatr: *Architektura MISD procesorów specjalizowanych w systemach wizyjnych czasu rzeczywistego na tle aktualnych prac badawczych*. Kwartalnik Elektroniki i Telekomunikacji PAN, t. 45, z. 2, Warszawa 1999, ss. 251–277.
20. K. Wiatr: *Dedicated System Architecture for a Real-Time Video Data Pre-Processing used Specialised Hardware Processors Implemented in FPGA Structures*. Proc. of the IEEE International Workshop on Intelligent Signal Processing, Budapest 1999, pp. 294–299.

21. W. Wrona: *VHDL — język opisu i projektowania układów cyfrowych*. Wyd. Pracowni komputerowej Jacka Skalmierskiego, Gliwice, 1998.
22. Xilinx: *The Programmable Logic Data Book*. San Jose CA, Xilinx Inc., 2001.

maybe config
hardware de
instructions l

Keywords: d

DODATEK A

Raport Timing

```
Xilinx TRACE, Version M1.5.25
Copyright (c) 1995-1999 Xilinx, Inc. All rights reserved
Design file:          procesor.ncd
Physical constraint file: procesor.pcf
Device, speed:        xc4020xl,-09 (x10.45 1.24 PRELIMINARY)
Report level:         error report, limited to 3 items per constraint
-----
WARNING:bastw:170 - No timing constraints found, doing default enumeration.
-----
Timing constraint: Default period analysis
373364 items analyzed, 0 timing errors detected.
Minimum period is 44.681ns.
-----
Timing constraint: Default net enumeration
1556 items analyzed, 0 timing errors detected.
Maximum net delay is 21.216ns.
-----
All constraints were met.
Timing summary:

Timing errors: 0 Score: 0
Constraints cover 373364 paths, 1556 nets, and 5614 connections (100.0%
coverage)
Design statistics:
  Minimum period: 44.681ns (Maximum frequency: 22.380MHz)
  Maximum net delay: 21.216ns
Analysis completed
```

K. WIATR

PROCESSORS WITH DYNAMIC RECONFIGURABLE INSTRUCTIONS LIST PROGRAMMABLE BY USER IMPLEMENTED IN FPGA STRUCTURES

Summary

Paper presents processor with dynamic reconfigurable instructions list implemented in programmable structure FPGA. FPGA chips configurations remember in the internal static RAM and therefore these configurations we can change much time. This propriety permits dynamic reconfiguration these chips. In particular in FPGA chips we can implement general-purpose processor and instructions list in every time

komputerowej

maybe configure for user or by user. Author's group made automated tools for design these processors used hardware design language VHDL. Paper presents example of processors with implementation selected instructions list.

Keywords: dedicated architecture of computation elements, specialized processors, programmable logic device

aint

ration.

0%

STRUCTURES

programmable
therefore these
these chips. In
in every time

Mikro

W
szerok
i równ
pozwa
związe
Wykaz
strojni
pracy
nie sp
kiwani
rodzaje

Słowa

Przesun
falowy jest
parametrem
Względne p
mitancji Φ_p
(rys. 1.).

Torem
W wielu pr
linię posiad
w projektov

Mikrofalowe przesuwniki fazy ze strojnikami równoległymi

ADAM RUTKOWSKI

*Wojskowa Akademia Techniczna, Wydział Elektroniki
ul. Kaliskiego 2, 00-908 Warszawa 49
ARutkowski@wel.wat.waw.pl*

*Otrzymano 2002.02.27
Autoryzowano 2002.09.16*

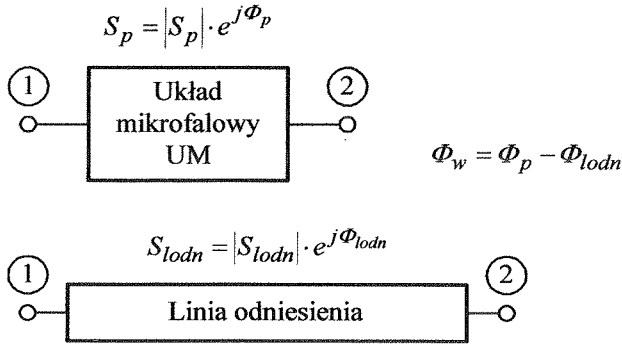
W artykule opisano strukturalnie proste układy posiadające właściwości mikrofalowych szerokopasmowych przesuwników fazy. Układy te składają się z odcinka linii transmisyjnej i równoległego strojnika zwartego lub rozwartego na końcu. Wyprowadzono ogólne zależności pozwalające na syntezę przesuwników o założonym względnym przesunięciu fazy. Pokazano związek pomiędzy długością linii odniesienia i wartością względnego przesunięcia fazy. Wykazano, że w porównywalnych warunkach większe przesunięcie fazy zapewnia układ ze strojnikiem równoległym rozwartym, ale jednocześnie charakteryzuje się on węższym pasmem pracy niż przesuwnik ze strojnikiem zwartym. W związku z tym, iż pojedynczy strojnik może nie spełniać wymagań dotyczących szerokości pasma pracy, wskazano na możliwość uzyskiwania lepszych parametrów poprzez kaskadowe łączenie kilku ogniów jednego, lub obydwu rodzajów strojników.

Słowa kluczowe: mikrofalowy przesuwnik fazy, względne przesunięcie fazy

1. WPROWADZENIE

Przesunięcie fazy Φ_p jakiemu ulega sygnał propagując się przez podzespół mikrofalowy jest wyrażone za pomocą argumentu transmitancji tego podzespołu. Innym parametrem charakteryzującym właściwości fazowe jest względne przesunięcie fazy Φ_w . Względne przesunięcie fazy układu mikrofalowego UM jest różnicą argumentu transmitancji Φ_p tego układu i argumentu transmitancji Φ_{odn} tak zwanego toru odniesienia (rys. 1.).

Torem odniesienia może być pojedynczy element lub złożony układ mikrofalowy. W wielu przypadkach jako tor odniesienia przyjmuje się idealną linię transmisyjną lub linię posiadającą parametry takie jak prowadnice mikrofalowe, które będą zastosowane w projektowanym urządzeniu.



Rys. 1. Układ mikrofalowy i linia odniesienia

Fig. 1. Microwave circuit and the reference line

Argumenty transmitancji (przesunięcia fazy) Φ_p i Φ_{lodn} są zwykle funkcjami częstotliwości, natomiast względne przesunięcie fazy Φ_w w szerokim zakresie częstotliwości może być w przybliżeniu stałe. Podzespoły posiadające taką właściwość nazywane są szerokopasmowymi przesuwnikami fazy SPF. Najczęściej wymaga się, aby moduł transmitancji układu pełniącego rolę przesuwnika fazy był jak największy, a przynajmniej, żeby wykazywał minimalne wahania w całym pasmie pracy.

Mikrofalowe SPF są stosowane w nowoczesnych urządzeniach radiolokacyjnych i telekomunikacyjnych. Są również niezbędne w budowie szerokopasmowych precyzyjnych przyrządów pomiarowych i systemów przeznaczonych do monitorowania złożonych sygnałów mikrofalowych.

Wyróżnia się przesuwniki fazy stałe i regulowane. Regulacja przesunięcia fazy może odbywać się płynnie, na przykład poprzez zmianę napięcia na odpowiednio włączonym waraktorze. Takie układy nazywa się analogowymi przesuwnikami fazy. W tak zwanych cyfrowych przesuwnikach N — bitowych przesunięcie fazy zmienia się skokowo przyjmując jedną z 2^N wartości.

Bierne przesuwniki fazy, czyli nie wykorzystujące elementów wzmacniających, podzielić można na dwie grupy:

- przesuwniki fazy typu odbiciowego,
- przesuwniki fazy typu transmisyjnego.

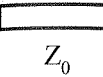
W przesuwnikach typu odbiciowego wykorzystuje się wartość argumentu współczynnika odbicia układu mikrofalowego (zawierającego np. diodę PIN, diodę waraktorową) obciążającego odpowiednie wrota cyrkulatora ferrytowego lub sprzęgacza kierunkowego [3, 5, 6].

Przesuwniki fazy typu transmisyjnego zbudowane są na przykład z mikrofalowych linii sprzężonych lub z linii transmisyjnej i włączonych do niej elementów reaktancyjnych skupionych bądź rozłożonych [1, 7, 8, 9].

W ostatnich latach nastąpił dynamiczny rozwój urządzeń radiolokacyjnych i urządzeń łączności bezprzewodowej wykorzystujących złożone systemy antenowe składające się z dużej liczby anten elementarnych oraz z rozbudowanych układów formowania

charaktery
nie na pr
teryzujące
przesuwni
łego zwar
tycznej Z_0
ten przes

linia g



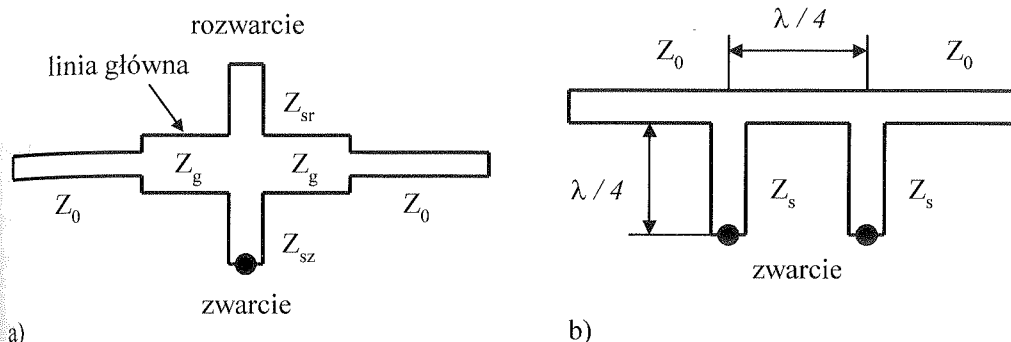
a)

Rys. 2.

Właśc
na rysunku
linii transn
przesuńc
pojedynczy
na odległo
dodatkowe
nie stwarza
go układu

Autor
komputerow
Rezultaty t
W związk
chwilowej
towania wi
innymi w p
umożliwiaj
prowadzone
zwartym i n
nych przes

charakterystyki kierunkowej. W związku z tym zauważa się bardzo duże zapotrzebowanie na przesuwniki fazy o szerokości pasma rzędu oktawy, a jednocześnie charakteryzujące się dużą podatnością na miniaturyzację. Do takich rozwiązań należy zaliczyć przesuwnik fazy zaproponowany przez Wilds'a [2]. Składa się on ze strojnika równoległego zwartego i rozwartego, oraz z tak zwanej linii głównej o impedancji charakterystycznej Z_g mniejszej niż impedancja charakterystyczna Z_0 linii transmisyjnej, do której ten przesuwnik jest włączany (rys. 2a.).



Rys. 2. Przesuwniki fazy w technologii niesymetrycznej linii paskowej (widok od strony ścieżek)
a) przesuwnik Wilds'a, b) przesuwnik Burns'a, Holden'a, Tang'a

Fig. 2. Phase shifters in microstrip line technique

a) Wilds — style phase shifter, b) Burns, Holden, Tang — style phase shifter

Właściwości mikrofalowego przesuwnika fazy posiada także układ przedstawiony na rysunku 2b. Składa się on z dwóch strojników zwartych, włączonych równolegle do linii transmisyjnej i oddalonych od siebie o jedną czwartą długości fali [4, 5]. Względne przesunięcie fazy stałe w szerokim pasmie częstotliwości zapewnić może również pojedynczy strojnik zwarty, strojnik rozwarty lub kilka strojników odsuniętych od siebie na odległość inną niż $\lambda/4$ [11, 12, 13]. Wyeliminowanie w takich rozwiązaniach dodatkowej linii głównej pozwala na zmniejszenie rozmiarów przesuwnika i jednocześnie stwarza możliwość jego podłączania lub odłączania na etapie uruchamiania złożonego układu mikrofalowego.

Autor wraz z zespołem, w którym pracuje, prezentował już wyniki symulacji komputerowych i pomiarów rzeczywistych egzemplarzy przesuwników [11, 12, 13]. Rezultaty te, chociaż bardzo obiecujące, uzyskiwane były metodą kolejnych przybliżeń. W związku z kierunkami prac prowadzonych przez autora nad układami pomiaru chwilowej fazy i częstotliwości sygnałów mikrofalowych, oraz nad układami kształtowania wiązek wieloelementowych systemów antenowych wykorzystywanych między innymi w pelengacji, zaistniała potrzeba sformułowania przejrzystego opisu analitycznego umożliwiającego syntezę miniaturowych szerokopasmowych przesuwników fazy. Wyprobowane zależności, opisujące pełne macierze rozproszenia układów ze strojnikiem zwartym i rozwartym, pozwoliły zbadać charakterystyki amplitudowe i fazowe analizowanych przesuwników, w szerokim pasmie częstotliwości i dla różnych wartości Φ_w .

2. STROJNIK RÓWNOLEGŁY ZWARTY

Schemat dwuwrotnika mikrofalowego zbudowanego w oparciu o pojedynczy strojnik równoległy zwarty przedstawiono na rysunku 3.

Wyrazy macierzy rozproszenia odcinka linii bezstratnej z równoległe podłączonym do niej strojnikiem zwartym na końcu, opisane są zależnościami [10]:

$$S_{11} = S_{22} = \frac{-Y_{sz}}{2 \cdot Y_0 + Y_{sz}} \cdot e^{-j \cdot 2 \cdot \beta \cdot l} \quad (1)$$

$$S_{21} = S_{12} = \frac{2 \cdot Y_0}{2 \cdot Y_0 + Y_{sz}} \cdot e^{-j \cdot 2 \cdot \beta \cdot l} \quad (2)$$

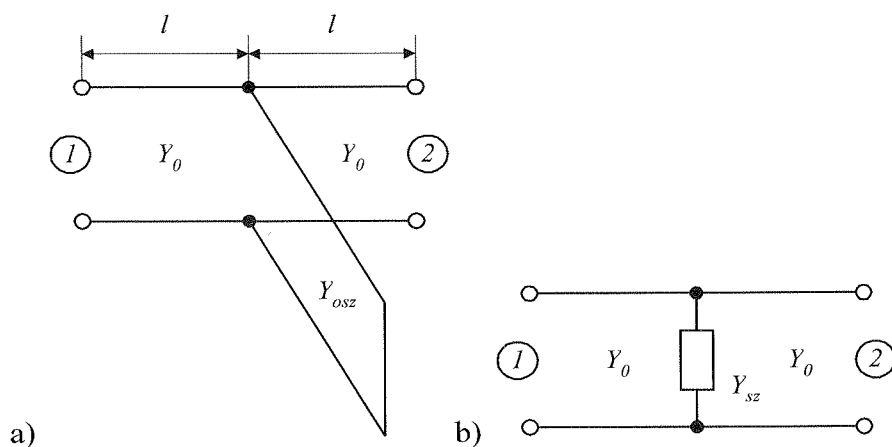
gdzie:

Y_0 — admitancja charakterystyczna linii transmisyjnej, do której podłączono strojnik,

Y_{sz} — admitancja wejściowa strojnika zwanego,

β — współczynnik fazowy linii transmisyjnej, do której podłączono strojnik,

l — długość fizyczna odcinka linii transmisyjnej



Rys. 3. Odcinek linii transmisyjnej ze strojnikiem równoległym zwartym
a) struktura, b) schemat zastępczy

Fig. 3. Transmission line with the short end stub
a) structure, b) equivalent network

Admitancja wejściowa bezstratnego strojnika zwanego na końcu dana jest zależnością:

$$Y_{sz} = -j \cdot Y_{osz} \cdot \operatorname{ctg}(\theta_{sz}) \quad (3)$$

gdzie:

Y_{osz} — admitancja charakterystyczna strojnika zwartego,

θ_{sz} — długość elektryczna strojnika zwartego,

nczny stroj-

czonym do

Podstawiając zależność (3) do (1) i (2) oraz przyjmując, dla uproszczenia zapisu, że długość l odcinków linii transmisyjnej, do której podłączono strojnik jest równa zero, otrzymuje się:

$$(1) \quad S_{11} = S_{22} = \frac{-Y_{osz}^2 \cdot \operatorname{ctg}^2(\theta_{sz})}{4 \cdot Y_o^2 + Y_{osz}^2 \cdot \operatorname{ctg}^2(\theta_{sz})} + j \frac{2 \cdot Y_o \cdot Y_{osz} \cdot \operatorname{ctg}(\theta_{sz})}{4 \cdot Y_o^2 + Y_{osz}^2 \cdot \operatorname{ctg}^2(\theta_{sz})} \quad (4)$$

$$(2) \quad S_{21} = S_{12} = \frac{4 \cdot Y_o^2}{4 \cdot Y_o^2 + Y_{osz}^2 \cdot \operatorname{ctg}^2(\theta_{sz})} + j \frac{2 \cdot Y_o \cdot Y_{osz} \cdot \operatorname{ctg}(\theta_{sz})}{4 \cdot Y_o^2 + Y_{osz}^2 \cdot \operatorname{ctg}^2(\theta_{sz})} \quad (5)$$

W oparciu o wyrażenia (4) i (5) można sformułować zależności opisujące moduły i argumenty poszczególnych wyrazów macierzy S układu z rysunku 3.

strojnik,

$$|S_{11}| = \frac{\sqrt{\operatorname{ctg}^4(\theta_{sz}) + 4 \cdot \frac{Y_o^2}{Y_{osz}^2} \cdot \operatorname{ctg}^2(\theta_{sz})}}{4 \cdot \frac{Y_o^2}{Y_{osz}^2} + \operatorname{ctg}^2(\theta_{sz})} = \frac{\sqrt{\operatorname{ctg}^4(\theta_{sz}) + 4 \cdot \frac{Z_{osz}^2}{Z_o^2} \cdot \operatorname{ctg}^2(\theta_{sz})}}{4 \cdot \frac{Z_{osz}^2}{Z_o^2} + \operatorname{ctg}^2(\theta_{sz})} \quad (6)$$

$$\operatorname{Arg} S_{11} = \operatorname{Arg} S_{22} = \arctan \left[-\frac{2 \cdot Y_o}{Y_{osz}} \cdot \operatorname{tg}(\theta_{sz}) \right] = \arctan \left[-\frac{2 \cdot Z_{osz}}{Z_o} \cdot \operatorname{tg}(\theta_{sz}) \right] \quad (7)$$

$$|S_{21}| = \frac{\sqrt{16 + 4 \cdot \frac{Y_{osz}^2}{Y_o^2} \cdot \operatorname{ctg}^2(\theta_{sz})}}{4 + \frac{Y_{osz}^2}{Y_o^2} \cdot \operatorname{ctg}^2(\theta_{sz})} = \frac{\sqrt{16 + 4 \cdot \frac{Z_o^2}{Z_{osz}^2} \cdot \operatorname{ctg}^2(\theta_{sz})}}{4 + \frac{Z_o^2}{Z_{osz}^2} \cdot \operatorname{ctg}^2(\theta_{sz})} \quad (8)$$

$$\operatorname{Arg} S_{21} = \operatorname{Arg} S_{12} = \arctan \left[\frac{Y_{osz}}{2 \cdot Y_o} \cdot \operatorname{ctg}(\theta_{sz}) \right] = \arctan \left[\frac{Z_o}{2 \cdot Z_{osz}} \cdot \operatorname{ctg}(\theta_{sz}) \right] \quad (9)$$

gdzie:

Z_o — impedancja charakterystyczna linii transmisyjnej, do której podłączono strojnik,

Z_{osz} — impedancja charakterystyczna strojnika zwartego, Dokonując podstawień:

ależnością:

$$k_{wz} = \frac{Z_{osz}}{Z_o} \quad (10)$$

$$(3) \quad \Phi_{sz} = \operatorname{Arg} S_{21} = \operatorname{Arg} S_{12} \quad (11)$$

$$\theta_{sz} = \frac{\pi}{2} \cdot f_u \quad (12)$$

$$f_u = \frac{f}{f_o} \quad (13)$$

gdzie:

f — częstotliwość sygnału mikrofalowego,

f_o — częstotliwość sygnału mikrofalowego, przy której długość elektryczna strojnika zwartego jest równa $\pi/2$

f_u — częstotliwość sygnału mikrofalowego unormowana do f_o

zależności (6), (7), (8), (9) można zapisać w postaci:

$$|S_{11}| = |S_{22}| = \frac{\sqrt{\operatorname{ctg}^4\left(\frac{\pi}{2} \cdot f_u\right) + 4 \cdot k_{wz}^2 \cdot \operatorname{ctg}^2\left(\frac{\pi}{2} \cdot f_u\right)}}{4 \cdot k_{wz}^2 + \operatorname{ctg}^2\left(\frac{\pi}{2} \cdot f_u\right)} \quad (14)$$

$$\operatorname{Arg} S_{11} = \operatorname{Arg} S_{22} = \arctan \left[-2 \cdot k_{wz} \cdot \operatorname{tg} \left(\frac{\pi}{2} \cdot f_u \right) \right] \quad (15)$$

$$|S_{21}| = |S_{12}| = \frac{\sqrt{16 + 4 \cdot k_{wz}^{-2} \cdot \operatorname{ctg}^2\left(\frac{\pi}{2} \cdot f_u\right)}}{4 \cdot k_{wz}^{-2} + \operatorname{ctg}^2\left(\frac{\pi}{2} \cdot f_u\right)} \quad (16)$$

$$\Phi_{sz} = \arctan \left[(2 \cdot k_{wz})^{-1} \cdot \operatorname{ctg} \left(\frac{\pi}{2} \cdot f_u \right) \right] \quad (17)$$

Pierwsza pochodna przesunięcia fazy Φ_{sz} względem częstotliwości unormowanej f_u jest wyrażona zależnością:

$$A_{KZ} = \frac{d\Phi_{sz}}{df_u} = -\pi \cdot \frac{k_{wz} \cdot \left[1 + \operatorname{ctg}^2\left(\frac{\pi}{2} \cdot f_u\right) \right]}{4 \cdot k_{wz}^2 + \operatorname{ctg}^2\left(\frac{\pi}{2} \cdot f_u\right)} \quad (18)$$

Najniższa częstotliwość unormowana, przy której moduł transmitancji układu ze strojnikiem zwartym (rys. 3.) jest równy 1 wynosi $f_u = 1$. Dla tej częstotliwości f_u , pochodna określona zależnością (18), przyjmuje wartość oznaczoną symbolem A_{KZO} :

Wartość
funkcji

W związ
 $\Phi_{KZ}(f_u)$

Podstaw

Funkcje
częstotli

Zmienna
którego
Pierwszy
nika k_{wz}
bezstratn
cią:

Drugi sk
ści, a jes
ma n_z .
W takich
staci:

gdzie:

$$(12) \quad A_{KZO} = -\frac{\pi}{4 \cdot k_{wz}} \quad (19)$$

(13) Wartość A_{KZO} jest współczynnikiem kierunkowym prostych stycznych do wykresu funkcji $\Phi_{sz}(f_u)$ we wszystkich punktach przegięcia odpowiadających częstotliwościom:

$$f_{uzn} = 2 \cdot n_z + 1 \quad n_z = 0, 1, 2, 3, \dots \quad (20)$$

a strojnika

W związku z powyższym, przebieg $\Phi_{sz}(f_u)$ można aproksymować funkcjami liniowymi $\Phi_{KZ}(f_u, n_z)$ opisanymi ogólną zależnością o postaci:

$$\Phi_{KZ} = A_{KZO} \cdot f_u - (2 \cdot n_z + 1) \cdot A_{KZO} \quad (21)$$

Podstawiając zależność (19) do (21) otrzymuje się:

$$(14) \quad \Phi_{KZ} = -\frac{\pi}{4 \cdot k_{wz}} \cdot f_u + (2 \cdot n_z + 1) \cdot \frac{\pi}{4 \cdot k_{wz}} \quad (22)$$

(15) Funkcje wyrażone wzorami (21) i (22) są określone w podpasmach, dla każdej częstotliwości f_u spełniającej warunek:

$$(2 \cdot n_z) \leq f_u < (2 \cdot n_z + 2) \quad (23)$$

(16) Zmienna n_z przyjmuje wartości całkowite nieujemne i odpowiada numerowi podpasma, którego częstotliwość środkowa jest określona wyrażeniem (20).

(17) Pierwszy składnik prawej strony wzoru (22) jest funkcją częstotliwości oraz współczynnika k_{wz} . Składnik ten ma postać zależności opisującej przesunięcie fazy wnoszone przez bezstratną i bezdyspersyjną linię transmisyjną o długości elektrycznej θ_{lz} danej zależnością:

anej f_u jest

$$\theta_{lz} = -A_{KZO} = -\frac{\pi}{4 \cdot k_{wz}} \quad \text{dla} \quad f_u = 1 \quad (24)$$

(18) Drugi składnik wyrażenia (22), wewnątrz danego podpasma nie zależy od częstotliwości, a jest zdeterminowany jedynie wartością współczynnika k_{wz} oraz numerem podpasma n_z .

W takich warunkach przesunięcie fazy opisane zależnością (22) można wyrazić w postaci:

u ze stroj-
pochodna

$$\Phi_{KZ} = -\theta_{lz} \cdot f_u + \Phi_{wsz} \quad (25)$$

gdzie:

$$\Phi_{wsz} = (2 \cdot n_z + 1) \cdot \frac{\pi}{4 \cdot k_{wz}} \quad (26)$$

Oznacza to, że zdefiniowane na rysunku 1 względne przesunięcie fazy Φ_w strojnika zwartego podłączonego równolegle do linii transmisyjnej (rys. 3.) wykazuje słabą zależność od częstotliwości i może być opisane związkiem:

$$\Phi_w = \Phi_{KZ} - \Phi_{lodn} = \Phi_{wsz} = (2 \cdot n_z + 1) \cdot \frac{\pi}{4 \cdot k_{wz}} \quad (27)$$

gdzie:

Φ_{lodn} — przesunięcie fazy wnoszone przez linię odniesienia

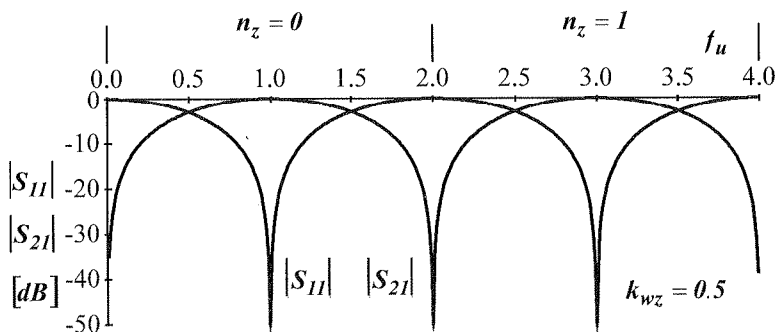
Dzieje się tak wówczas, gdy długość elektryczna θ_{lodn} linii odniesienia na częstotliwości $f_u = 1$ spełnia warunek:

$$\theta_{lodn} = \theta_{lz} = \frac{\pi}{4 \cdot k_{wz}} \quad (28)$$

Wnioski te są słuszne dla tych częstotliwości leżących w otoczeniu wartości określonych zależnością (20), dla których wyrażenie (21) aproksymuje przebieg opisany zależnością (17) z błędem $\Delta\Phi_{KZ}$ nie przekraczającym założonej wartości dopuszczalnej.

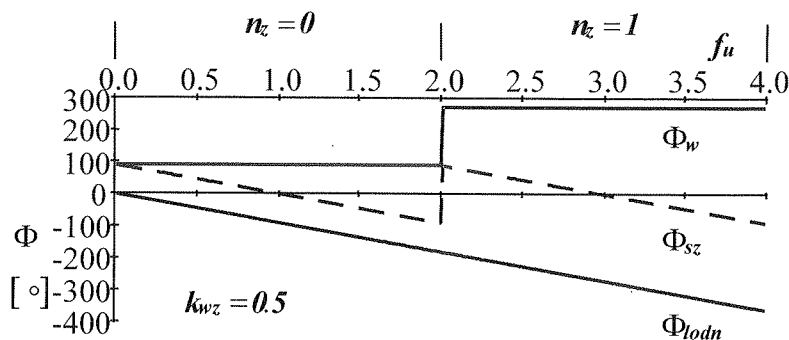
$$\Delta\Phi_{KZ} = \Phi_{KZ} - \Phi_{SZ} \quad (29)$$

Należy ponadto pamiętać, iż projektując linię odniesienia należy wartość uzyskaną z zależności (28) powiększyć o długości elektryczne odcinków linii o długości fizycznej l uwidocznionych na rysunku 3.



Rys. 4. Charakterystyki amplitudowe przesuwnika fazy ze strojnikiem równoległym zwartym ($Z_{0sz}/Z_o = 0.5$)

Fig. 4. Amplitude characteristics of the phase shifter with the short end stub ($Z_{0sz}/Z_o = 0.5$)



Rys. 5. Charakterystyki fazowe przesuwника fazy ze strojnikami równoległym zwartym ($Z_{0sz}/Z_o=0.5$)

Fig. 5. Phase characteristics of the phase shifter with the short end stub ($Z_{0sz}/Z_o=0.5$)

Zgodnie z zależnością (17), w przypadku gdy impedancja charakterystyczna strojnika zwartego będzie dwa razy mniejsza niż impedancja linii transmisyjnej ($k_{wz}=0.5$), wówczas argument transmitancji układu ze strojnikami równoległym zwartym (rys. 3.) będzie liniową funkcją częstotliwości unormowanej f_u w całych podpasmach o numerach n_z i szerokościach $2n_z \div 2n_z + 2$ (rys. 5.).

Wtedy też, względne przesunięcie fazy takiego układu w stosunku do linii odniesienia o długości elektrycznej:

$$\theta_{lodn} = \frac{\pi}{2} \quad \text{dla} \quad f_u = 1 \quad (30)$$

będzie wynosiło:

$$\Phi_w = \Phi_{wsz} = (2 \cdot n_z + 1) \cdot \frac{\pi}{2} \quad n_z = 0, 1, 2, \dots \quad (31)$$

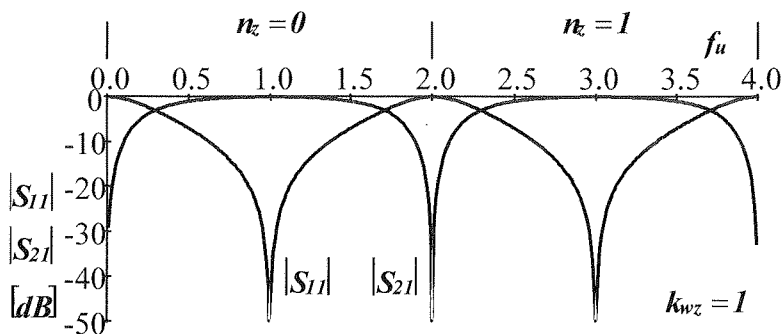
Jeżeli wartości współczynnika k_{wz} będą większe lub mniejsze od 0.5, wówczas ulegną zawężeniu zakresy częstotliwości (leżących wokół częstotliwości f_{uzn}), w których przebiegi Φ_{sz} mogą być, z dopuszczalną tolerancją, uznane za liniowe (rys. 7., rys. 9.).

W takich warunkach błąd aproksymacji $\Delta\Phi_{KZ}$ poza środkiem pasma jest różny od zera i zmienia się z częstotliwością.

Zgodnie z wynikami symulacji przedstawionymi na rysunkach 7 i 9, ze wzrostem impedancji Z_{0sz} powyżej wartości $0.5 \cdot Z_o$, poziom Φ_{wsz} obniża się, a pasmo pracy wyznaczone dopuszczalnymi odchyleniami względnego przesunięcia fazy i modułu transmitancji (rys. 4, rys. 6, rys. 8), staje się szersze.

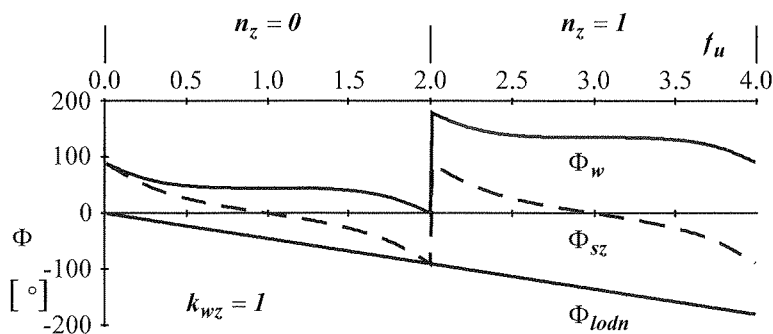
Względne przesunięcie fazy $\Phi_w = 45^\circ$ uzyskuje się, w omawianym układzie strojnika zwartego, przy współczynniku $k_{wz} = 1$. W tych warunkach odchyłka $\Delta\Phi_w$ zdefiniowana jako różnica:

$$\Delta\Phi_w(f_u) = \Phi_w(f_u) - \Phi_w(f_{uzn}) \quad (32)$$



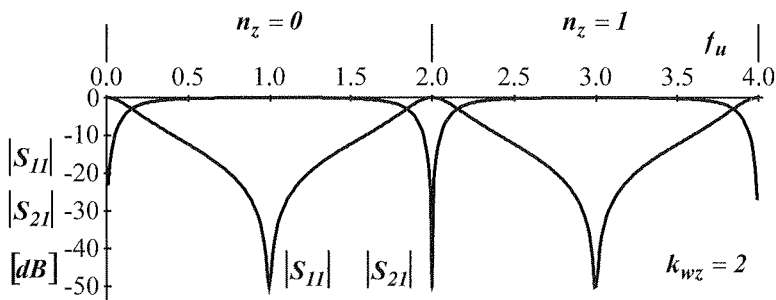
Rys. 6. Charakterystyki amplitudowe układu ze strojnikami równoległym zwartym ($Z_{osz}/Z_o=1$)

Fig. 6. Amplitude characteristics of the phase shifter with the short end stub ($Z_{osz}/Z_o=1$)



Rys. 7. Charakterystyki fazowe układu ze strojnikami równoległym zwartym ($Z_{osz}/Z_o=1$)

Fig. 7. Phase characteristics of the phase shifter with the short end stub ($Z_{osz}/Z_o=1$)



Rys. 8. Charakterystyki amplitudowe układu ze strojnikami równoległym zwartym ($Z_{osz}/Z_o=2$)

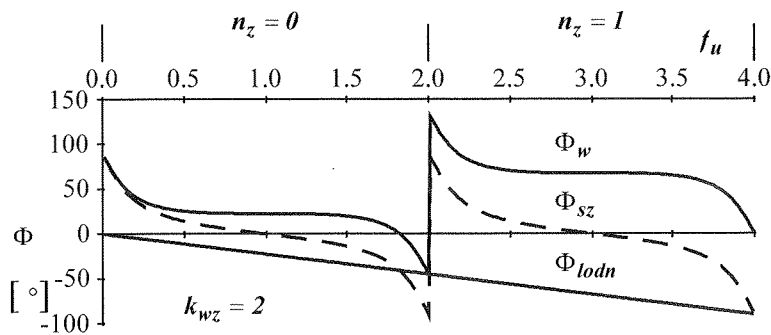
Fig. 8. Amplitude characteristics of the phase shifter with the short end stub ($Z_{osz}/Z_o=2$)

nie prze-
częstotli

Jak
charakte-
współcz-
 $\Phi_w = 90^\circ$
spadkiem
(rys. 4.).
w pasmi
 $f_u = 0.5$ i

Leps-
wartość
i $k_{wz} = 1$.
 $\Delta\Phi_w$ odp-
około 0.6
7 przebie-
dolnej gr-
 45° , a w
warunki
pozwalaj-
sam pozi-
niku k_{wz}
należy za-

Rysu-
parametry
częstotliw-
ponad dw-
poprawę
współcz-
poziomu

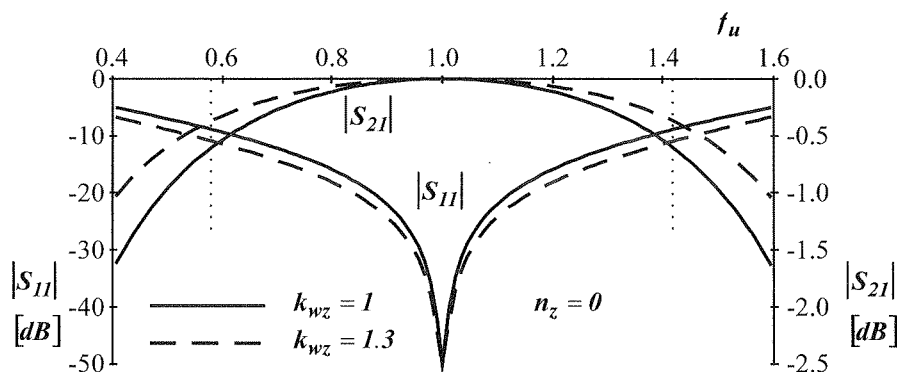
Rys. 9. Charakterystyki fazowe układu ze strojnikiem równoległym zwartym ($Z_{osz}/Z_o=2$)Fig. 9. Phase characteristics of the phase shifter with the short end stub ($Z_{osz}/Z_o=2$)

nie przekracza $\pm 5\%$ wartości Φ_w uzyskiwanej w środku podpasma o numerze $n_z=0$, przy częstotliwościach unormowanych f_u mieszczących się w przedziale $0.58+1.42$.

Jak wspomniano wcześniej ważnym parametrem przesuwników fazy są nie tylko charakterystyki fazowe, ale również i amplitudowe. Układ ze strojnikiem zwartym przy współczynniku $k_{wz}=0.5$ charakteryzuje się stałą wartością względnego przesunięcia fazy $\Phi_w=90^\circ$ w całym podpasmie o numerze $n_z=0$, ale jednocześnie odznacza się szybkim spadkiem modułu transmitancji na częstotliwościach oddalonych od środka podpasma (rys. 4.). W tym przypadku tłumienie odbiciowe układu nie przekracza 0.5 dB tylko w pasmie o szerokości względnej równej 40%, a na przykład przy częstotliwościach $f_u=0.5$ i $f_u=1.5$ moduł transmitancji spada do poziomu -3 dB.

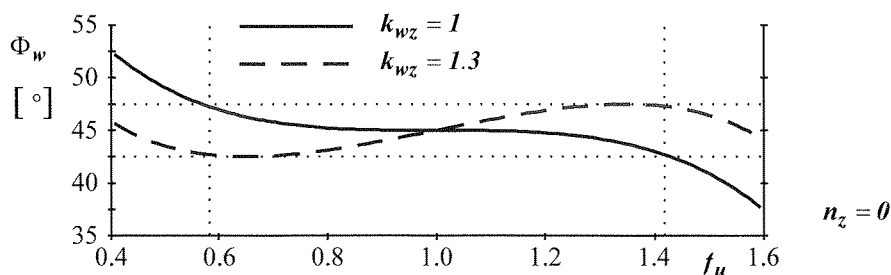
Lepszymi parametrami amplitudowymi charakteryzuje się przesuwnik 45° . Taką wartość względnego przesunięcia fazy, zgodnie zależnością (27), uzyskuje się dla $n_z=0$ i $k_{wz}=1$. W tych warunkach, na częstotliwościach granicznych, przy których odchyłka $\Delta\Phi_w$ odpowiada $\pm 5\%$ wartości Φ_w w środku podpasma, tłumienie przesuwnika wynosi około 0.6 dB, a moduł współczynnika odbicia jest bliski -8.8 dB. Zgodnie z rysunkiem 7 przebieg Φ_w w środku pasma pracy jest równoległy do osi częstotliwości. W pobliżu dolnej granicy pasma wartość względnego przesunięcia fazy wzrasta powyżej wartości 45° , a w górnej części pasma opada do poziomu około 42.7° . Okazuje się, że jeśli warunki funkcjonowania systemu, którego podzespołem ma być omawiany przesuwnik, pozwalają na oscylacyjny charakter zmian (wewnątrz dopuszczalnych granic, to ten sam poziom względnego przesunięcia fazy można uzyskać przy większym współczynniku k_{wz} niż wyliczony według zależności (27). Jednocześnie, długość linii odniesienia należy zachować taką jak wyznaczona w oparciu o zależność (28).

Rysunki 10 i 11 obrazują wpływ stosunku impedancji Z_{osz} do impedancji Z_o na parametry przesuwnika 45° . Po zwiększeniu wartości k_{wz} z 1 do 1.3, szerokość pasma częstotliwości, w którym względne przesunięcie fazy wynosi $45^\circ \pm 2.25^\circ$, wzrosła do ponad dwóch oktaw. Dzięki takiej zmianie współczynnika k_{wz} osiągnięto również poprawę charakterystyk amplitudowych. Na częstotliwościach $f_u=0.58$ i $f_u=1.42$ moduł współczynnika odbicia uległ redukcji do około -11 dB, a moduł transmitancji wzrósł do poziomu -0.36 dB.



Rys. 10. Porównanie charakterystyk amplitudowych przesuwника fazy 45° ze strojnikiem równoległym zwartym, dla różnych wartości współczynnika k_{wz}

Fig. 10. Comparison of the amplitude characteristics of the 45 deg phase shifter with the short end stub, for various values of the coefficient k_{wz}



Rys. 11. Porównanie charakterystyk fazowych przesuwника fazy 45° ze strojnikiem równoległym zwartym, dla różnych wartości współczynnika k_{wz} (długość elektryczna linii odniesienia w środku podpasma $n_z=0$ była równa $\pi/4$)

Fig. 11. Comparison of the phase characteristics of the 45 deg phase shifter with the short end stub, for various values of the coefficient k_{wz} (the electrical length of the reference line in the middle of the subband $n_z=0$ equals $(\pi/4)$)

3. STROJNIK RÓWNOLEGLY ROZWARTY

Schemat dwuwrotnika mikrofalowego zbudowanego w oparciu o pojedynczy strojnik równoległy rozwarty przedstawiono na rysunku 12.

Współczynnik odbicia S_{11} i transmitancja S_{21} odcinka linii bezstratnej z równoległe włączonym do niej strojnikiem rozwartym na końcu, opisane są zależnościami [10]:

$$S_{11} = S_{22} = \frac{-Y_{sr}}{2 \cdot Y_o + Y_{sr}} \cdot e^{-j \cdot 2 \cdot \beta \cdot l} \quad (33)$$

gdzie:
 Y_o — adm.
 Y_{sr} — adm.
 β — wsp.
 l — długość

a)

Admitancja
 ciąg:

gdzie:
 Y_{osr} — adm.
 θ_{sr} — długość
 Podsta
 zapisu, że
 równa zero

$$S_{21} = S_{12} = \frac{2 \cdot Y_o}{2 \cdot Y_o + Y_{sr}} \cdot e^{-j \cdot 2 \cdot \beta \cdot l} \quad (34)$$

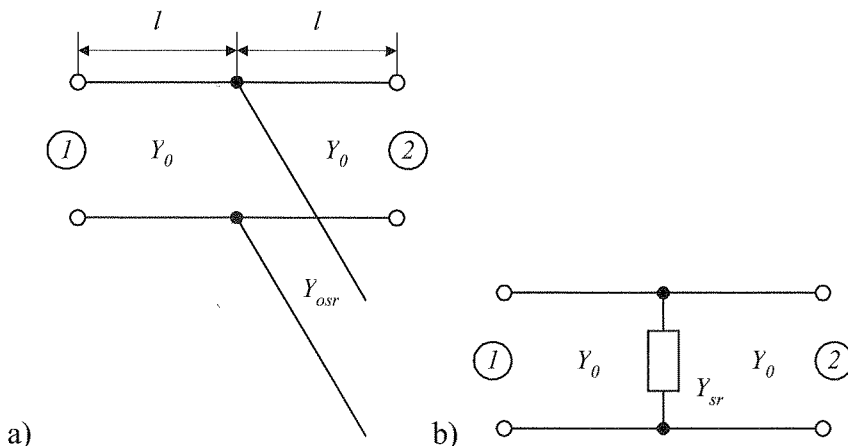
gdzie:

Y_o — admitancja charakterystyczna linii transmisyjnej,

Y_{sr} — admitancja wejściowa strojnika rozwartego,

β — współczynnik fazowy linii transmisyjnej, do której podłączono strojnik,

l — długość fizyczna odcinka linii transmisyjnej



Rys. 12. Odcinek linii transmisyjnej ze strojnikiem równoległym rozwartym

a) struktura, b) schemat zastępczy

Fig. 12. Transmission line with the open end stub

a) structure, b) equivalent network

Admitancja wejściowa bezstratnego strojnika rozwartego na końcu dana jest zależnością:

$$Y_{sr} = j \cdot Y_{osr} \cdot \operatorname{tg}(\theta_{sr}) \quad (35)$$

gdzie:

Y_{osr} — admitancja charakterystyczna strojnika rozwartego,

θ_{sr} — długość elektryczna strojnika rozwartego

Podstawiając zależność (35) do (33) i (34) oraz przyjmując, dla uproszczenia zapisu, że długość l odcinków linii transmisyjnej, do której podłączono strojnik jest równa zero, otrzymuje się:

$$S_{11} = S_{22} = \frac{-Y_{osr}^2 \cdot \operatorname{tg}^2(\theta_{sr})}{4 \cdot Y_o^2 + Y_{osr}^2 \cdot \operatorname{tg}^2(\theta_{sr})} + j \frac{-2 \cdot Y_o \cdot Y_{osr} \cdot \operatorname{tg}(\theta_{sr})}{4 \cdot Y_o^2 + Y_{osr}^2 \cdot \operatorname{tg}^2(\theta_{sr})} \quad (36)$$

$$S_{21}=S_{12}=\frac{4 \cdot Y_o^2}{4 \cdot Y_o^2+Y_{osr}^2 \cdot \operatorname{tg}^2(\theta_{sr})}+j \frac{-2 \cdot Y_o \cdot Y_{osr} \cdot \operatorname{tg}(\theta_{sr})}{4 \cdot Y_o^2+Y_{osr}^2 \cdot \operatorname{tg}^2(\theta_{sr})} \quad (37)$$

Postępując podobnie jak w punkcie 2, moduły i argumenty poszczególnych wyrazów macierzy rozproszenia układu z rysunku 12 można przedstawić w postaci:

$$|S_{11}|=|S_{22}|=\frac{\sqrt{\operatorname{tg}^4\left(\frac{\pi}{2} \cdot f_u\right)+4 \cdot k_{wr}^2 \cdot \operatorname{tg}^2\left(\frac{\pi}{2} \cdot f_u\right)}}{4 \cdot k_{wr}^2+\operatorname{tg}^2\left(\frac{\pi}{2} \cdot f_u\right)} \quad (38)$$

$$\operatorname{Arg} S_{11}=\operatorname{Arg} S_{22}=\arctan \left[2 \cdot k_{wr} \cdot \operatorname{ctg}\left(\frac{\pi}{2} \cdot f_u\right)\right] \quad (39)$$

$$|S_{21}|=|S_{12}|=\frac{\sqrt{16+4 \cdot k_{wr}^{-2} \cdot \operatorname{tg}^2\left(\frac{\pi}{2} \cdot f_u\right)}}{4+k_{wr}^{-2} \cdot \operatorname{tg}^2\left(\frac{\pi}{2} \cdot f_u\right)} \quad (40)$$

$$\Phi_{sr}=\arctan \left[-\left(2 \cdot k_{wr}\right)^{-1} \cdot \operatorname{tg}\left(\frac{\pi}{2} \cdot f_u\right)\right] \quad (41)$$

gdzie:

$$k_{wr}=\frac{Z_{osr}}{Z_o} \quad (42)$$

$$\Phi_{sr}=\operatorname{Arg} S_{21}=\operatorname{Arg} S_{12} \quad (43)$$

$$\theta_{sr}=\beta_{sr} \cdot l_{sr}=\frac{\pi}{2} \cdot f_u \quad (44)$$

$$f_u=\frac{f}{f_o} \quad (45)$$

l_{sr} — długość fizyczna stojnika rozwartego,

f — częstotliwość sygnału,

f_o — częstotliwość sygnału przy, której długość elektryczna stojnika rozwartego jest równa $\pi/2$

f_u — częstotliwość sygnału unormowana do f_o .

Rys. 13.

F

Q
[

Rys. 14.

Pier
wyrażon

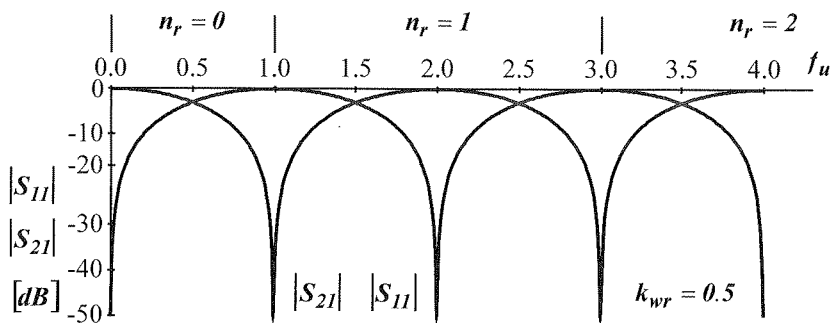
Dla $f_u=0$

Wartość
we wszy

(37)

wyrazów

(38)

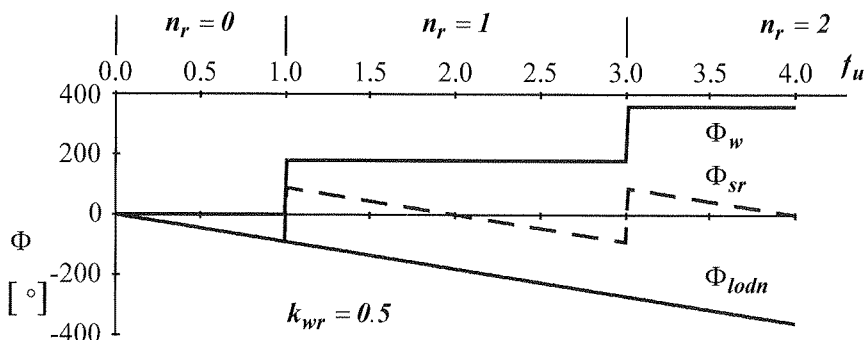


Rys. 13. Charakterystyki amplitudowe przesuwnika fazy ze strojnikiem równoległym rozwartym ($Z_{osr}/Z_o=0.5$)

(39)

Fig. 13. Amplitude characteristics of the phase shifter with the open end stub ($Z_{osr}/Z_o=0.5$)

(40)



(41)

Rys. 14. Charakterystyki fazowe przesuwnika fazy ze strojnikiem równoległym rozwartym ($Z_{osr}/Z_o=0.5$)

(42)

Fig. 14. Phase characteristics of the phase shifter with the open end stub ($Z_{osr}/Z_o=0.5$)

(43)

Pierwsza pochodna argumentu Φ_{sr} względem częstotliwości unormowanej f_u jest wyrażona zależnością:

(44)

$$A_{KR} = \frac{d\Phi_{sr}}{df_u} = -\pi \cdot \frac{k_{wr} \cdot \left[1 + \operatorname{tg}^2 \left(\frac{\pi}{2} \cdot f_u \right) \right]}{4 \cdot k_{wr}^2 + \operatorname{tg}^2 \left(\frac{\pi}{2} \cdot f_u \right)} \quad (46)$$

(45)

Dla $f_u = 0$ pochodna ta przyjmuje wartość oznaczoną symbolem A_{KRO} :

$$A_{KRO} = -\frac{\pi}{4 \cdot k_{wr}} \quad (47)$$

tego jest

Wartość A_{KRO} jest współczynnikiem kierunkowym stycznej do wykresu funkcji $\Phi_{sr}(f_u)$ we wszystkich punktach przebiegu odpowiadających częstotliwościom:

$$f_{urn} = 2 \cdot n_r \quad n_r = 0, 1, 2, \dots \quad (48)$$

W związku z powyższym, przebieg $\Phi_{sr}(f_u)$ można aproksymować funkcjami liniowymi $\Phi_{AR}(f_u, n_r)$ opisanymi ogólną zależnością o postaci:

$$\Phi_{AR} = A_{KRO} \cdot f_u - 2 \cdot n_r \cdot A_{KRO} = -\frac{\pi}{4 \cdot k_{wr}} \cdot f_u + n_r \cdot \frac{\pi}{2 \cdot k_{wr}} \quad (49)$$

Funkcje wyrażone wzorem (49) są określone w podpasmach, dla każdej częstotliwości f_u spełniającej warunek:

$$n_r \leq f_u < (n_r + 1) \quad \text{gdy} \quad n_r = 0 \quad (50)$$

oraz

$$(2 \cdot n_r - 1) \leq f_u < (2 \cdot n_r + 1) \quad \text{gdy} \quad n_r = 1, 2, 3, \dots \quad (51)$$

Zmienna n_r jest liczbą całkowitą nieujemną i odpowiada numerowi podpasma, którego częstotliwość środkowa jest określona wyrażeniem (48). Z porównania zależności (50), (51) i (23) wynika, iż numeracja i położenie granic podpasma układu ze strojnikiem rozwartym są inne niż podpasma przesuwnika ze strojnikiem zwartym.

Zgodnie z wyrażeniem (49) względne przesunięcie fazy układu ze strojnikiem równoległym rozwartym określone względem linii odniesienia o długości elektrycznej:

$$\theta_{lodn} = -A_{KRO} = \frac{\pi}{4 \cdot k_{wr}} \quad \text{dla} \quad f_u = 1 \quad (52)$$

jest opisane przybliżoną zależnością:

$$\Phi_w = \Phi_{AR} - \Phi_{lodn} = \Phi_{wsr} = n_r \cdot \frac{\pi}{2 \cdot k_{wr}} \quad (53)$$

gdzie:

$$\Phi_{lodn} = -\theta_{lodn} \cdot f_u = -\frac{\pi}{4 \cdot k_{wr}} \cdot f_u \quad (54)$$

Podobnie jak w przypadku analizy parametrów układu ze strojnikiem zwartym, wyrażenia (52)÷(54) są słuszne dla tych częstotliwości leżących w otoczeniu wartości określonych zależnością (48), dla których wyrażenie (49) aproksymuje przebieg opisany funkcją (41) z błędem $\Delta\Phi_{AR}$ nie przekraczającym założonej wartości dopuszczalnej.

(48)

$$\Delta\Phi_{AR} = \Phi_{AR} - \Phi_{sr} \quad (55)$$

iniowymi

(49)

tliwości f_u

(50)

(51)

na, którego
ności (50),
strojnikiem

strojnikiem
ktrycznej:

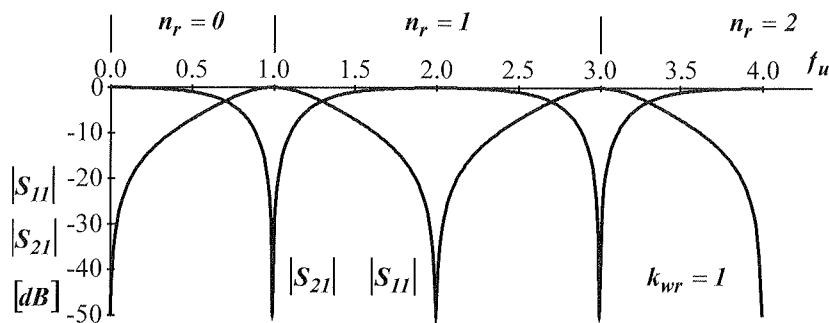
(52)

(53)

(54)

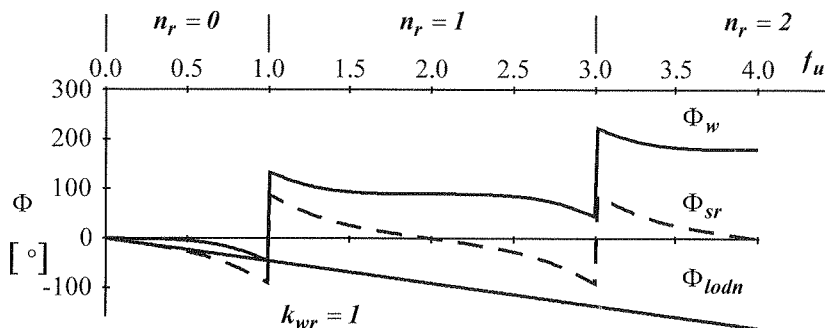
n zwartym,
niu wartości
je przebieg
ści dopusz-

Należy również pamiętać, iż długość linii odniesienia wyznaczona na podstawie zależności (52) powinna być powiększona o długości elektryczne odcinków linii o długości fizycznej l uwidocznionych na rysunku 12.



Rys. 15. Charakterystyki amplitudowe układu ze strojnikiem równoległym rozwartym ($Z_{osr}/Z_o = 1$)

Fig. 15. Amplitude characteristics of the phase shifter with the open end stub ($Z_{osr}/Z_o = 1$)

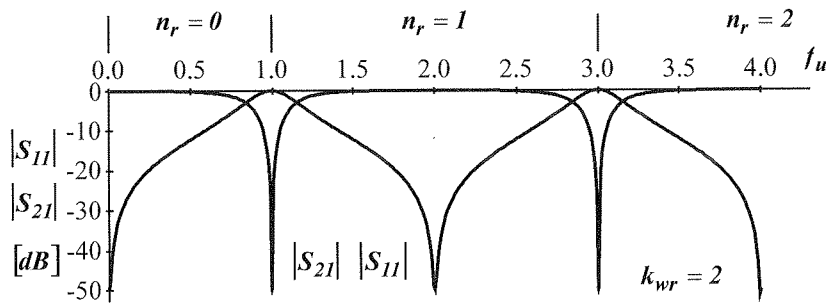
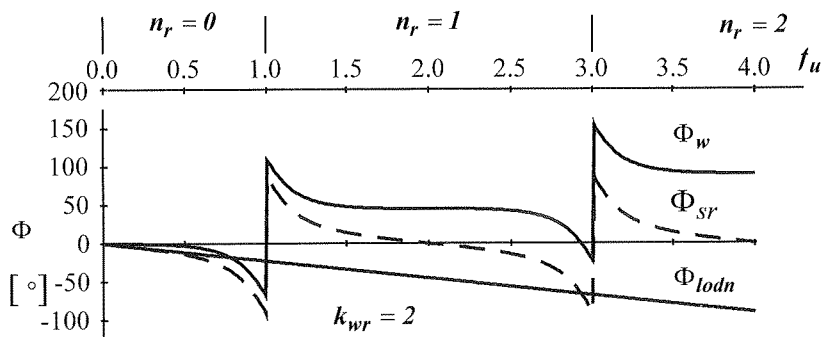


Rys. 16. Charakterystyki fazowe układu ze strojnikiem równoległym rozwartym ($Z_{osr}/Z_o = 1$)

Fig. 16. Phase characteristics of the phase shifter with the open end stub ($Z_{osr}/Z_o = 1$)

Przy współczynniku $k_{wr} = 0.5$ zgodnie z (41) argument transmitancji układu jest w każdym podpasmie opisany odcinkiem linii prostej. W związku z tym względne przesunięcie fazy Φ_w jest w całym podpasmie stałe i dla $n_r = 1$ wynosi 180° (rys. 14.).

Pomimo płaskiej charakterystyki fazowej pasmo pracy układu ze strojnikiem rozwartym będzie ograniczone kształtem charakterystyki amplitudowej. W najszerszym

Rys. 17. Charakterystyki amplitudowe układu ze strojnikiem równoległym rozwartym ($Z_{osr}/Z_o=2$)Fig. 17. Amplitude characteristics of the phase shifter with the open end stub ($Z_{osr}/Z_o=2$)Rys. 18. Charakterystyki fazowe układu ze strojnikiem równoległym rozwartym ($Z_{osr}/Z_o=2$)Fig. 18. Phase characteristics of the phase shifter with the open end stub ($Z_{osr}/Z_o=2$)

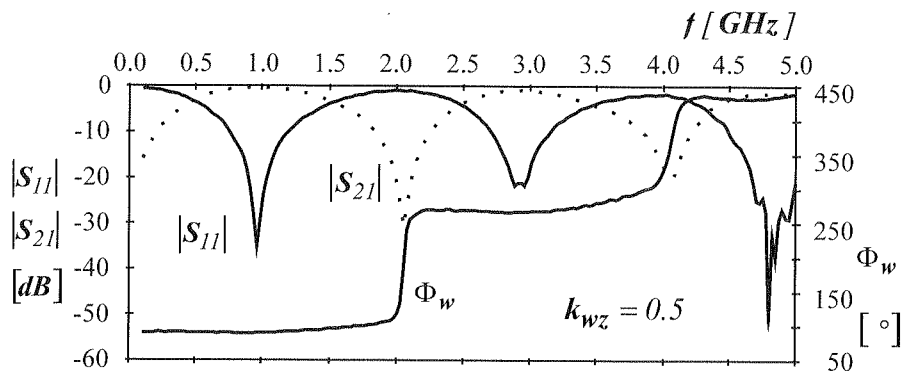
podpasmie, czyli dla $n_r=1$ moduł transmitancji nie spada poniżej -0.5 dB w wąskim przedziale częstotliwości to jest od $f_u=1.79$ do $f_u=2.21$ (rys. 13.).

Przesuwniki o mniejszych wartościach Φ_w charakteryzują się pasmem pracy tym szerszym im większa jest wartość współczynnika k_{wr} [rys. 15.+18.]. Jak jednak wynika, między innymi, z rysunku 18 szerokość pasma układu ze strojnikiem równoległym rozwartym, wyrażona stosunkiem częstotliwości granicznej górnej do dolnej, nie będzie większa niż 3:1.

4. WYNIKI BADAŃ PRZESUWNIKÓW FAZY WYKONANYCH W TECHNOLOGII LINII MIKROPASKOWYCH

Przedstawione powyżej rozważania dotyczą linii transmisyjnych bezstratnych i bezdyspersyjnych. Wartości parametrów możliwe do uzyskania w warunkach rzeczywistych zbadano w oparciu o serię przesuwników fazy wykonanych na bazie laminatu szklano-

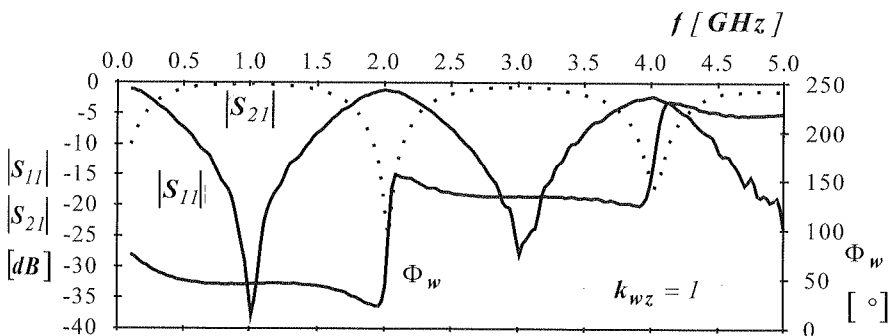
-epoksydowego o grubości 1.5 mm oraz względnej stałej dielektrycznej $\epsilon_r = 4.6$. Projekty układów wykonano przy pomocy programu GENESYS V7.5.



Rys. 19. Zmierzone charakterystyki amplitudowe i fazowe układu ze strojnikiem równoległym zwartym ($Z_{osz}/Z_0 = 0.5$)

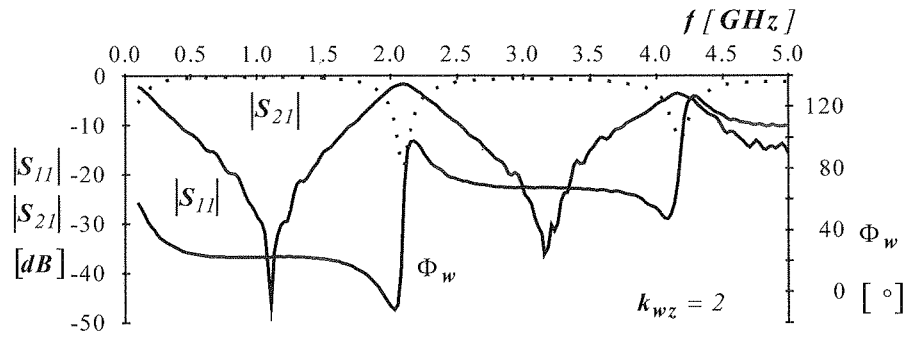
Fig. 19. Measured amplitude and phase characteristics of the phase shifter with the short end stub ($Z_{osz}/Z_0 = 0.5$)

Kształty zmierzonych charakterystyk układów rzeczywistych (rys. 19.–rys. 24.) pokrywają się z przebiegami uzyskanymi dla warunków idealizowanych. Obydwa zrealizowane typy przesuwników posiadają charakterystyczne podpasma pracy, w których poziom modułu transmitacji na niższych częstotliwościach badanego pasma jest ściśle związany z wielkością strat odbiciowych.



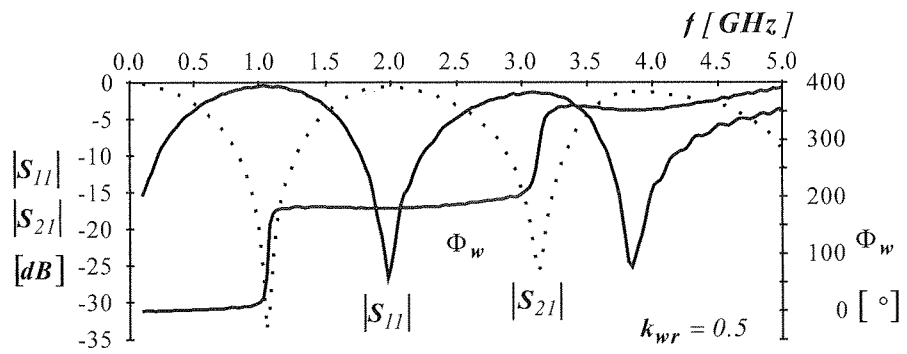
Rys. 20. Zmierzone charakterystyki amplitudowe i fazowe układu ze strojnikiem równoległym zwartym ($Z_{osz}/Z_0 = 1$)

Fig. 20. Measured amplitude and phase characteristics of the phase shifter with the short end stub ($Z_{osz}/Z_0 = 1$)



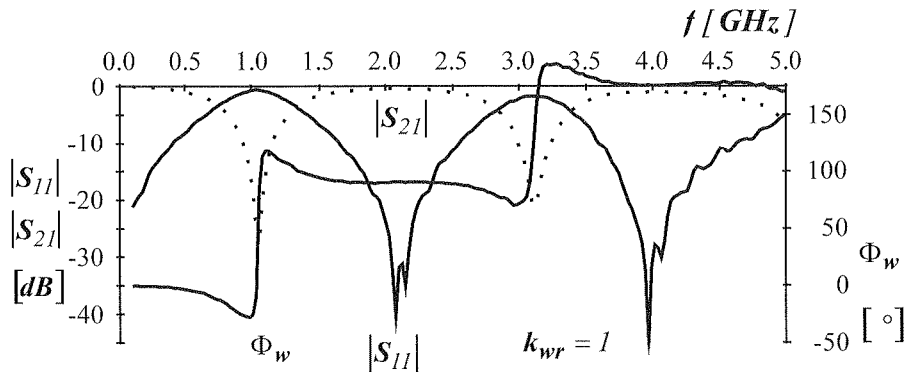
Rys. 21. Zmierzone charakterystyki amplitudowe i fazowe układu ze strojnikiem równoległym zwartym ($Z_{0sr}/Z_0=2$)

Fig. 21. Measured amplitude and phase characteristics of the phase shifter with the short end stub ($Z_{0sr}/Z_0=2$)



Rys. 22. Zmierzone charakterystyki amplitudowe i fazowe układu ze strojnikiem równoległym rozwartym ($Z_{0sr}/Z_0=0.5$)

Fig. 22. Measured amplitude and phase characteristics of the phase shifter with the open end stub ($Z_{0sr}/Z_0=0.5$)



Rys. 23. Zmierzone charakterystyki amplitudowe i fazowe układu ze strojnikiem równoległym rozwartym ($Z_{0sr}/Z_0=1$)

Fig. 23. Measured amplitude and phase characteristics of the phase shifter with the open end stub ($Z_{0sr}/Z_0=1$)

Na transmi jest wz przykład podpas częstotli charakt kształt

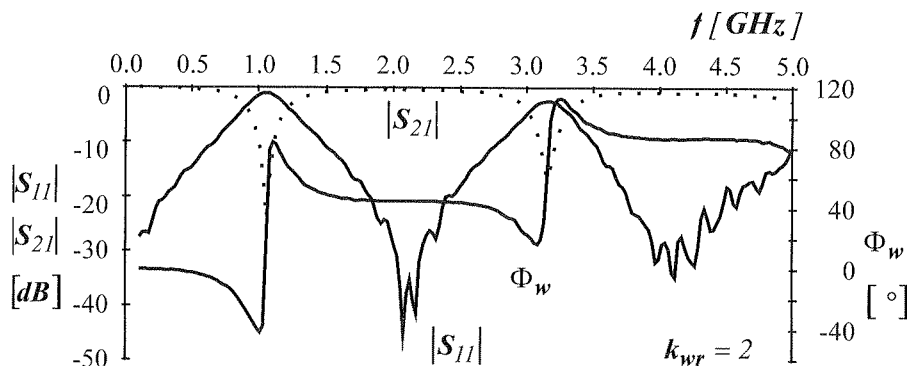
$|S_{11}|$
 $|S_{21}|$
[dB]

Fig. 24. M

WZ charakte podpas nemu z występu mikrop fazy jes przykład przedsta

W się w g impedan Na przy charakte 0.4–1.7 mach w

Na częstotliwościach leżących powyżej około 3.5 GHz zauważa się spadek modułu transmitancji wykonanych układów również w środku podpasm. Zjawisko to wywołane jest wzrostem strat zastosowanego laminatu na tych częstotliwościach. Jak wynika na przykład z rysunku 19 i 22 ograniczenia szerokości pasma pracy w poszczególnych podpasmach wynikają przede wszystkim z szybkiego wzrostu współczynnika odbicia na częstotliwościach oddalonych od środków podpasm. W warunkach idealizowanych charakterystyki fazowe przesuwników o współczynnikach $k_{wz}=0.5$ i $k_{wr}=0.5$ posiadają kształt schodków prostokątnych.



Rys. 24. Zmierzone charakterystyki amplitudowe i fazowe układu ze strojnikiem równoległym rozwartym ($Z_{0sr}/Z_0=2$)

Fig. 24. Measured amplitude and phase characteristics of the phase shifter with the open end stub ($Z_{0sr}/Z_0=2$)

Względne przesunięcie fazy wykonanych układów ze strojnikiem o impedancji charakterystycznej mniejszej niż impedancja linii głównej, na dolnych częstotliwościach podpasm zmienia się nieznacznie. W górnej części podpasm przebieg Φ_w ulega wyraźnemu zagięciu (rys. 19, rys. 22). Jest to efekt oddziaływania niepożądanych reaktancji występujących w płaszczyźnie podłączenia strojnika. Z uwagi na występujące w liniach mikropaskowych zjawisko dyspersji, długość linii odniesienia dla danego przesuwnika fazy jest zależna od numeru wykorzystywanego podpasma pracy. Wskazuje na to na przykład różne nachylenie charakterystyki Φ_w w podpasmie 0–2 GHz i 2–4 GHz przedstawionej na rysunku 20.

W obydwu wersjach wykonanych przesuwników, użyteczne pasmo pracy mieściło się w granicach określonego podpasma i było tym szersze im większy był stosunek impedancji charakterystycznej strojnika do impedancji charakterystycznej linii głównej. Na przykład przesuwnik ze strojnikiem zwartym na końcu, przy współczynniku $k_{wz}=2$ charakteryzował się współczynnikiem odbicia nie gorszym niż -10 dB w podpasmie: 0.4–1.7 GHz oraz 2.53–3.77 GHz (rys. 21). Jednocześnie wartości Φ_w w tych podpasmach wynosiły odpowiednio: $22.5^\circ \pm 5.5^\circ$, oraz $67.5^\circ \pm 4^\circ$.

5. PODSUMOWANIE

Układy ze strojnikami równoległymi zwartymi lub rozwartymi na końcu odznaczają się prostą budową, a przez to mogą mieć bardzo małe wymiary. Względne przesunięcie fazy jest funkcją stosunku impedancji charakterystycznej strojnika do impedancji charakterystycznej linii transmisyjnej, do której jest on podłączany. Stosunek ten wyznacza również długość linii odniesienia. W porównywalnych warunkach większe wartości Φ_w zapewnia układ ze strojnikiem równoległym rozwartym. Jednocześnie jednak, charakteryzuje się węższym pasmem pracy, ograniczonym przede wszystkim szybkim wzrostem strat odbiciowych na częstotliwościach leżących poza środkiem pasma.

Charakterystyki amplitudowe i fazowe obydwu wersji przesuwników fazy posiadają właściwości okresowe. Kolejne pasma przepustowe charakteryzują się coraz większym względnym przesunięciem fazy i jednocześnie coraz mniejszą szerokością. Wartości Φ_w w kolejnych podpasmach są całkowitą wielokrotnością przesunięcia fazy uzyskiwanego w podpasmie podstawowym. Podpasmo podstawowe układu ze strojnikiem zwartym posiada numer $n_z=0$, a układu ze strojnikiem rozwartym numer $n_r=1$. Długość linii odniesienia jest taka sama dla każdego podpasma i jest zdeterminowana wartością współczynnika k_{wz} lub k_{wr} .

Bardzo często ograniczenie pasma pracy przesuwnika fazy ze strojnikiem zwartym lub rozwartym będzie wynikało nie z odchyłek charakterystyki fazowej lecz ze zbyt dużego poziomu odbić występujących poza środkiem pasma pracy. Ograniczenie tych szkodliwych zjawisk można uzyskać na przykład poprzez włączenie we wrotach wejściowych przesuwnika szerokopasmowych izolatorów ferrytowych lub tłumików mikrofalowych. Występujące w takich warunkach obniżenie mocy sygnału wyjściowego może być kompensowane za pomocą wzmacniaczy mikrofalowych włączanych na wejściu lub na wyjściu budowanego urządzenia.

Duże względne przesunięcia fazy i odpowiednie charakterystyki amplitudowe, których nie może zapewnić jeden strojnik, można również uzyskać łącząc kilka ogniw pojedynczych. Poszczególne ogniwa mogą zawierać strojniki tego samego rodzaju lub mogą mieć strukturę mieszaną.

Innym ważnym zagadnieniem napotykanym w procesie projektowania i uruchamiania przesuwników fazy ze strojnikami, są parametry wykorzystywanych przewodnic mikrofalowych. Zależności przedstawione powyżej wyprowadzono przy założeniu stałych w funkcji częstotliwości impedancji charakterystycznych strojników i linii transmisyjnych. Założono również, iż długość elektryczna przewodnic jest liniową funkcją częstotliwości. Tymczasem, jak wiadomo, na przykład linie mikropaskowe (niesymetryczne linie paskowe) charakteryzują się tym, iż efektywna stała dielektryczna jest zależna od wymiarów paska przewodzącego, ale również zmienia się z częstotliwością. W wyniku tego długość elektryczna odcinka linii nie będzie liniową funkcją częstotliwości, a także impedancja charakterystyczna będzie przyjmować różne wartości w każdym punkcie pasma pracy. Skutkiem tego przebiegi modułów i argumentów transmitacji układów ze strojnikami równoległymi będą odbiegać od opisanych zamieszczonymi wyżej zależnościami. Odkształcenia charakterystyk będą zależne od parametrów za-

stosowa
i jego p
charakte
szone pr
nicy mik
układu,
przesuni
przesuw
Najlepsz
przesuni

1. B. M. ...
tions o
2. R o b e ...
67-68.
3. J. F. W ...
Technic
4. R. B u ...
IEEE T
5. S. K. K ...
Delay L
6. J. M o c ...
wych m
Politech
7. J. M o d ...
z.77, W
8. T. M o ...
z liniam
Warszaw
9. S. R o s ...
municati
10. J. A. D ...
wa Kom
11. A. R u t ...
V Konfe
12. A. R u t ...
ferencji I
1999 r, T
13. B. S t e c ...
Materiały
20-22. 0

stosowanego materiału podłożowego oraz od szerokości wymaganego pasma pracy i jego położenia na osi częstotliwości. Przy wyższych częstotliwościach, na kształt charakterystyk przesuwników fazy mają wpływ również pasożytnicze reaktancje wnoszone przez nieciągłości [10] występujące w miejscu podłączenia strojnika do prowadnicy mikrofalowej. W takich przypadkach należy odpowiednio zmodyfikować strukturę układu, na przykład stosując większą liczbę ogniw o zmniejszonym jednostkowym przesunięciu fazy. Wyniki badań rzeczywistych egzemplarzy różnych konfiguracji przesuwników fazy wykonanych w oparciu o linie mikropaskowe przedstawiono w [13]. Najlepsze z prezentowanych rozwiązań zapewniały w pasmie 2+6 GHz względne przesunięcie fazy $\Phi_w = 90^\circ$ z odchyłką nie przekraczającą $\pm 3^\circ$.

6. BIBLIOGRAFIA

1. B. M. Schiffman.: *A New Class of Broad-Band Microwave 90-Degree Phase Shifters*. IRE Transactions on Microwave Theory and Techniques, April 1958, pp. 232–237.
2. Robert B. Wilds.: *Try $\lambda/8$ Stubs For Fast Fixed Phase Shifts*. Microwaves, December 1979 pp 67–68.
3. J. F. White.: *Diode Phase Shifters for Array Antennas*. IEEE Transactions On Microwave Theory And Techniques, June 1974, pp. 658–674.
4. R. Burns, R. L. Holden, R. Tang.: *Low Cost Design Techniques for Semiconductor Phase Shifters*. IEEE Transactions On Microwave Theory And Techniques, June 1974, pp. 675–688.
5. S. K. Koul, B. Bhat.: *Microwave and Millimeter Wave Phase Shifters, Volume II, Semiconductor and Delay Line Phase Shifters*. Boston, Londyn, Artech House, 1991.
6. J. Modelski.: *Zastosowanie diod waraktorowych o złączu superskokowym w mikrofalowych analogowych modulatorach i przesuwnikach fazy*. Prace Naukowe — Elektronika z.75, Warszawa. Wydawnictwa Politechniki Warszawskiej, 1986. ss. 51–63.
7. J. Modelski.: *Mikrofalowe analogowe modulatory i przesuwniki fazy*. Prace Naukowe — Elektronika z.77, Warszawa. Wydawnictwa Politechniki Warszawskiej, 1987.
8. T. Morawski, J. Zborowska, C. Mroczkowski.: *Analiza mikrofalowych przesuwników fazy z liniami sprzężonymi*. Prace Naukowe — Elektronika z.75, Warszawa. Wydawnictwa Politechniki Warszawskiej, 1987. ss. 35–49.
9. S. Rosłonec.: *Design of microstrip line differential phase shifters*. Proceedings of the Telecommunication Research Institute (PIT), vol.113, Warszawa 1993, pp. 26–32.
10. J. A. Dobrowolski.: *Wspomagane komputerem projektowanie obwodów mikrofalowych*. Wydawnictwa Komunikacji i Łączności, Warszawa 1987.
11. A. Rutkowski, B. Stec.: *Względne przesunięcie fazy wybranych układów mikrofalowych*. Materiały V Konferencji Problemy Współczesnej Radiolokacji, WAT Warszawa 20.11.1998r, Tom II ss. 65–70.
12. A. Rutkowski.: *Wybrane struktury biernych mikrofalowych przesuwników fazy*. Materiały X Konferencji Naukowej Sterowanie i Regulacja w Radiolokacji i Obiektach Latających, Jelenia Góra 9–11. 06. 1999 r, Tom I ss. 261–267.
13. B. Stec, A. Rutkowski, W. Susek.: *Mikrofalowe przesuwniki fazy wykonane w technologii NLP*. Materiały XII Konferencji Naukowej Sterowanie w Radiolokacji i Obiektach Latających, Jelenia Góra 20–22. 06. 2001 r, Tom III ss. 229–238.

A. RUTKOWSKI

MICROWAVE PHASE SHIFTERS WITH LOADING STUBS

Summary

A phase shifter is a device that provides a change in the phase of the microwave signal. In many applications very important parameter is not only phase delay (insertion phase) but differential phase shift Φ_w too. The differential phase shift is a difference between insertion phase of the phase shifter and insertion phase of the so-called reference channel. The Φ_w value should be constant over the operating frequency band.

The broad — band, small size and accurate phase shifters are necessary for modern radars and communication systems.

The paper concerns two types of miniature passive fixed microwave phase shifters. They are dedicated for phase, frequency and direction of arrival measuring devices. The described phase shifters consist of a transmission line and shorted or opened loading stubs. The derived analytic relations describe entire scattering matrices of the devices were presented. These equations enabled exact investigation of the parameters over wide frequency band and for different Φ_w values. It was indicated that analysed phase shifters' amplitude and phase characteristics versus frequency have periodic shapes. Hence, both of the shifters have several operating sub-bands. The Φ_w value is a function of stub's characteristic impedance Z_{os} to transmission line characteristic impedance Z_o ratio. Moreover, presented expressions and characteristics indicated that the phase shift depends on sub-band's number. It was also shown, that reference line length depends on Z_{os}/Z_o ratio and is independent on utilised sub-band's number.

The potential differential phase shift value offered by the device with opened stub is larger than that achieved with shorted stub but it has narrower bandwidth.

If the allowance exists that Φ_w value can vary around desired level within required frequency range then it is possibly to decrease shifters' return and insertion loss by increasing characteristic impedance of the stub. Paper touched on also problems appearing when these devices are planed to be fabricated in microstrip line technique.

Keywords: microwave phase shifter, differential phase shift

Elektronika wysokotemperaturowa

ZBIGNIEW LISIK

*Instytut Elektroniki, Politechniki Łódzkiej
90-924 Łódź, ul. Stefanowskiego 18/22
e-mail: LISIKZBY@ck-sg.p.lodz.pl*

*Otrzymano 2002.02.08
Autoryzowano 2002.09.10*

Typowy sprzęt elektroniczny jest projektowany do pracy w maksymalnym zakresie temperatur -55°C do 125°C , nazywanym zakresem militarnym (ang. „military range”). W pewnych sytuacjach występuje jednak konieczność wprowadzenia aparatury elektronicznej do otoczenia o znacznie wyższej temperaturze lub też może wystąpić wysoka temperatura wewnątrz przyrządów elektronicznych wywołana efektem samonagrzewania. Stało się to impulsem do zainicjowania badań nad możliwościami konstrukcji takiej aparatury, a ich efektem było wyodrębnienie nowej dziedziny elektroniki, nazwanej „elektroniką wysokotemperaturową” (lub skrótowno HTE od ang. „High-temperature electronics”). W pracy skupiono się na przedstawieniu specyfiki tej nowej dziedziny elektroniki. W szczególności, co należy rozumieć pod terminem elektronika wysokotemperaturowa, jakie obszary aplikacji ona obejmuje i jakie jest jej miejsce na rynku. Przedstawiono także jakie nowe problemy są z nią związane i jak one mogą być rozwiązywane, skupiając się w tym przypadku na materiałach półprzewodnikowych, które są kluczowym elementem rozwoju HTE.

Słowa kluczowe: elektronika wysokotemperaturowa, aplikacje elektroniki, materiały półprzewodnikowe, półprzewodniki szerokopasmowe

1. WPROWADZENIE

Typowy sprzęt elektroniczny, w tym przyrządy półprzewodnikowe, jest projektowany do pracy w maksymalnym zakresie temperatur -55°C do 125°C , nazywanym zakresem militarnym (ang. „military range”). Odpowiada to wymaganiom stawianym przez temperatury otoczenia występujące w większości typowych zastosowań sprzętu elektronicznego. W pewnych sytuacjach jednak, takich jak np. odwierty naftowe czy aparatura chemiczna, występuje konieczność wprowadzenia aparatury elektronicznej do otoczenia o znacznie wyższych temperaturach. Stało się to impulsem do zainicjowania

badan nad możliwościami konstrukcji takiej aparatury. Badania te, kontynuowane przez szereg lat, skupiły się głównie nad zasadami jej projektowania i wytwarzania, a w szczególności na poszukiwaniu odpowiednich materiałów i podzespołów oraz metod projektowania i technologii wytwarzania przyrządów półprzewodnikowych mogących pracować w zakresie wysokich temperatur. W efekcie, w latach osiemdziesiątych, wyodrębniła się nowa dziedzina elektroniki, nazwana „elektroniką wysokotemperaturową” (lub skrótowo HTE od ang. 'High-temperature electronics'), która obejmuje wszystkie zastosowania elektroniki dla temperatur powyżej 150°C.

Z uwagi na bieżące wymagania rynku oraz skalę trudności realizacyjnych, elektronika wysokotemperaturowa została podzielona na dwa podstawowe obszary: obszar niższych temperatur obejmujący temperatury od 150°C do 300°C oraz obszar wyższych temperatur obejmujący temperatury powyżej 300°C. Pierwszy z nich pokrywa ponad 90% obecnego zapotrzebowania rynku elektroniki wysokotemperaturowej. Obejmuje on ponadto temperatury tylko nieznacznie wyższe od górnej granicy zakresu militarnego, co powoduje, że istnieje w tym przypadku możliwość adoptowania wielu rozwiązań, technologii oraz materiałów stosowanych dotychczas dla niższych temperatur (np. wykorzystanie krzemu jako podstawowego materiału półprzewodnikowego). Z tego względu ten obszar jest uważany obecnie za najbardziej atrakcyjny z komercyjnego punktu widzenia. Obszar wyższych temperatur, powyżej 300°C, jest obecnie traktowany jako o mniejszym znaczeniu z uwagi na relatywnie małą ilość aplikacji o tak wysokich temperaturach otoczenia, która maleje wraz ze wzrostem temperatury.

Elektronika wysokotemperaturowa jest obecnie jednym z najbardziej obiecujących obszarów rozwoju elektroniki. Wynika to zarówno ze stale rosnącej liczby zastosowań, w których aparatura elektroniczna musi pracować w warunkach podwyższonej temperatury, jak i z możliwości przełamania przy jej pomocy jednej z fundamentalnych barier rozwoju mikroelektroniki jaką jest maksymalna gęstość rozpraszania mocy w elementach elektronicznych wywołana somonagrzewaniem. Oferuje ona ogromne możliwości rozwoju systemów pomiarowo-kontrolnych oraz ich niezawodności i efektywności w szczególności w zastosowaniach do pracy w trudnych warunkach otoczenia.

W pracy skupiono się na przedstawieniu specyfiki tej nowej dziedziny elektroniki jaką niewątpliwie jest elektronika wysokotemperaturowa. W szczególności, podjęto się zadania sprecyzowania co należy rozumieć pod terminem elektronika wysokotemperaturowa, jakie obszary aplikacji ona obejmuje oraz jakie jest jej miejsce na obecnym i przyszłym rynku elektroniki. Przedstawiono także jakie nowe problemy są z nią związane i jak one mogą być rozwiązywane, skupiając się w tym przypadku na materiałach półprzewodnikowych, które są kluczowym elementem rozwoju elektroniki wysokotemperaturowej.

2. OBSZAR ZASTOSOWAŃ

Obszar zastosowań HTE jest związany z sytuacjami, w których sprzęt elektroniczny lub jego część musi pracować w warunkach podwyższonej temperatury. Problem ten może być rozpatrywany z punktu widzenia fenomenologicznego — co jest przyczyną, że

wystę-
wyma-
jęcia z

W
militar-
nych j
przypa

W
nych z
samol-
wykorz-
zawier-
szonej
peratur-
Rozwia-
teryzuj-
się tak,
pracy w
temper-

Te
rowej a
elemen-
może b

- z wy-
wana
konst-
lub n
wym
stoso
- z wy-
towa-
dność
temp-
w ty-
elektr

występuje wysoka temperatura, jak i z punktu widzenia aplikacyjnego — jaki proces wymaga zastosowania elektroniki pracującej w wysokich temperaturach. Oba te podejścia zostały wykorzystane w dalszej części rozdziału.

2.1. PRZYCZYNY WYSTĄPIENIA WYSOKIEJ TEMPERATURY

Wzrost temperatury, w której ma pracować aparatura elektroniczna, poza obszar militarny może mieć różne źródła i przyczyny. Może on wynikać z warunków zewnętrznych jak również może być wywołany zjawiskami wewnętrznymi. Jest kilka takich przypadków, które są przedstawione poniżej.

2.1.1. Otoczenie wysokotemperaturowe

Warunki w których temperatura otoczenia jest wysoka występują w wielu praktycznych zastosowaniach, należą do nich między innymi głębokie odwierty, samochody, samoloty czy instalacje przemysłowe. W zastosowaniach tych systemy elektroniczne są wykorzystywane zwykle do pomiarów oraz sterowania i wtedy ich podstawowa część, zawierająca „inteligencję” systemu, może być ulokowana z dala od obszaru podwyższonej temperatury podczas gdy do obszaru tego jest wyprowadzany tylko wysokotemperaturowy przetwornik połączony z resztą systemu odpowiednio długimi przewodami. Rozwiązanie takie jest jednak podatne na oddziaływania elektromagnetyczne i charakteryzuje się dużym poziomem szumów pomiarowych. Aby tego uniknąć system dzieli się tak, że jego istotna część wraz z przetwornikiem, zaprojektowana i przygotowana do pracy w warunkach podwyższonej temperatury, jest wprowadzana do obszaru wysokiej temperatury jako tzw. „smart sensor” lub „smart actuator”.

Ten obszar zastosowań jest obecnie najczęstszym dla elektroniki wysokotemperaturowej ale sam z siebie nie wymaga on automatycznie użycia systemu zawierającego elementy elektroniczne przeznaczone do pracy w wysokich temperaturach. System taki może być zaprojektowany do pracy w podwyższonej temperaturze na dwa sposoby:

- z wykorzystaniem elektroniki dla zakresu militarnego — jej temperatura jest utrzymywana poniżej dopuszczalnej wartości (powiedzmy $125\div 150^{\circ}\text{C}$) w wyniku specjalnej konstrukcji obudowy zapewniającej dobrą izolację termiczną i odprowadzenie ciepła lub nawet chłodzenie. W ten sposób system może spełniać postawione przed nim wymagania bez narażania elektroniki na pracę w podwyższonych temperaturach i bez stosowania elementów elektroniki wysokotemperaturowej.
- z wykorzystaniem elektroniki wysokotemperaturowej — elementy systemu są zaprojektowane do pracy w podwyższonej temperaturze otoczenia. Ponieważ własności i niezawodność tak materiałów elektronicznych jak i przyrządów pogarsza się wraz ze wzrostem temperatury, decyzja o zastosowaniu elektroniki wysokotemperaturowej powinna wynikać w tym przypadku z oceny optymalności konstrukcji systemu jako całości, w której elektronika wysokotemperaturowa jest tylko jednym z możliwych rozwiązań.

2.1.2 Duża gęstość rozpraszania mocy

Dążenie do coraz większej ilości tranzystorów na tym samym obszarze układu scalonego jak i do sterowania coraz większą mocą przy wykorzystaniu przyrządów półprzewodnikowych mocy o tej samej powierzchni pastylki półprzewodnikowej ma również swój bardzo istotny aspekt termiczny. Duża gęstość elementów lub prądu w strukturze półprzewodnikowej prowadzi do dużej gęstości rozpraszania ciepła, czego konsekwencją jest istotny wzrost temperatury wewnątrz struktury powyżej temperatury otoczenia. Aby uniemożliwić wzrost temperatury powyżej dopuszczalnego poziomu jest konieczny odpowiednio efektywny system odprowadzania ciepła. Może on być pasywny bądź aktywny, a jego efektywność decyduje o wartości rezystancji cieplnej przyrządu.

Jeżeli wewnątrz przyrządu półprzewodnikowego byłyby dopuszczalne wyższe temperatury wynikające z samonagrzewania, wykraczające poza „obszar militarny”, mógłby w nim występować znacznie większy poziom rozpraszania mocy przy niezmiennych wymiarach i tej samej rezystancji cieplnej. Już osiągnięcie poziomu 250°C umożliwiło by głębokie zmiany w konstrukcji systemów energoelektronicznych. Wzrost dopuszczalnej temperatury jest również pożądany w elektronice niskomocowej, np. w przypadku układów scalonych o dużej ilości ciasno upakowanych tranzystorów, jak to ma miejsce w nowych systemach mikroprocesorowych lub trójwymiarowych układach scalonych. Duża koncentracja rozpraszania ciepła wraz z towarzyszącymi jej problemami jego odprowadzania do otoczenia istotnie ograniczają stopień integracji i upakowania w systemach elektronicznych, a przez to limitują ich dalszy rozwój. Problemy te mogłyby zostać bardzo prosto rozwiązane na drodze wzrostu wewnętrznej temperatury pracy przyrządu. Należy jednak mieć świadomość, że idea ta, bardzo atrakcyjna z uwagi na swoją prostotę, ma też swoje ograniczenia wynikające z faktu, że przy pracy w wysokich temperaturach większość parametrów przyrządów półprzewodnikowych ulega pogorszeniu, a rozwiązanie problemu odprowadzenia ciepła może być trudniejsze [1,2].

W pewnych aplikacjach, gdy odprowadzanie ciepła jest utrudnione a dodatkowe systemy chłodzące niepożądane z uwagi na wagę, wymiary, wymagania eksploatacyjne czy niezawodność, jak to ma miejsce np. w samolotach, możliwość pracy przyrządów półprzewodnikowych w podwyższonych temperaturach jest bardzo pożądana. Umożliwia to eliminację lub zmniejszenie wymagań dotyczących dodatkowych elementów przepływu ciepła oraz systemów chłodzenia [3, 4].

2.1.3. Odporność na radiację

Wzrost odporności na promieniowanie jonizacyjne jest jednym z kilku parametrów półprzewodników, które ulegają polepszeniu wraz ze wzrostem temperatury. Jest to związane z lepszą relaksacją sieci w wyższych temperaturach, co redukuje defekty radiacyjne. Zjawisko to jest bardzo ważne dla elektroniki pracującej w warunkach

podwyższonej radiacji i podwyższonych temperatur, jak to ma miejsce np. w reaktorach jądrowych [5]. Urządzenia elektroniczne mogą być również narażone na podwyższoną radiację w głębokich odwiertach oraz w kosmosie.

2.1.4. Testy niezawodnościowe

Stwierdzono, że wiele procesów degradacyjnych w sprzęcie elektronicznym ulega przyspieszeniu w wyższych temperaturach. Oznacza to, że na podstawie badań niezawodnościowych przeprowadzonych w podwyższonej temperaturze, co zajmie mniej czasu, można wnioskować o niezawodności i czasie życia danego sprzętu elektronicznego pracującego w normalnym zakresie temperatur. Efekt ten jest związany z występowaniem mikroskopowych procesów starzenia i degradacji, które występują w materiale (elektromigracja, korozja, dyfuzja cząstek, itp.), a ich dynamika jest zwykle opisywana przez zależność Arrheniusa:

$$R(T) = C \exp\left(-\frac{E_a}{kT}\right) \quad (1)$$

gdzie: $R(T)$ — szybkość procesu w temperaturze T , E_a — energia aktywacji dla rozważanego procesu, a k — stała Boltzmanna.

Powyższa zależność jest podstawą wszystkich przyspieszonych testów, które są przeprowadzane w warunkach podwyższonej temperatury. Szybkość uszkodzeń lub starzenia dla testowanych elementów i systemów elektronicznych (ich czas życia) jest określana w temperaturze testowej T_t , która jest wyższa od maksymalnej temperatury pracy T_o , a następnie szybkość uszkodzeń dla T_o jest wyznaczana z wyrażenia:

$$\frac{R(T_t)}{R(T_o)} = \exp\left(\frac{E_a}{k}\right) \exp\left(\frac{1}{T_o} - \frac{1}{T_t}\right) \quad (2)$$

Jeżeli przyspieszony test ma być efektywny, różnica pomiędzy temperaturą testu T_t , a temperaturą pracy T_o powinna być odpowiednio duża, ale temperatura testu nie może przekroczyć naturalnych ograniczeń testowanej elektroniki (dla krzemu jest to ok. 300°C). Np. jeżeli maksymalna temperatura pracy $T_o = 125^\circ\text{C}$ (górny limit dla „zakresu militarnego”) a temperatura testu $T_t = 250^\circ\text{C}$, współczynnik przyspieszenia przy $E_a = 1\text{eV}$ jest ok. 1000, co jest dobrą wartością. Jednak, przeprowadzenie przyspieszonego testu dla wysokotemperaturowych krzemowych przyrządów, o maksymalnej temperaturze pracy $T_o = 220^\circ\text{C}$, może już stanowić problem.

Innym zastosowaniem warunków wysokotemperaturowych do testów niezawodnościowych jest tzw. procedura burn-in. Wykorzystuje ona zasadę przyspieszonego starzenia Arrheniusa do eliminacji „słabych” lub wadliwych części i elementów, które są podatne na wczesne uszkodzenie tzw. „infant mortality”, na drodze wygrzewania ich

Tabela 1

Zastosowania elektroniki wysokotemperaturowej [6]

Applications of High Temperature Electronics [6]

Sektor przemysłu	Zakres temperatur [C°]
Przyrządy umieszczane w odwiertach	
Odwierty naftowe i gazowe	75–225
Odwierty ze wstrzykiwaną parą	200–300
Odwierty geotermiczne	200–600
Aeronautyka	
Elektroniczne systemy hamowania	do 250
Panele awioniki	do 250
Sterowanie silnikami	do 300
„Smart Skins”	do 350
Procesy przemysłowe	
Różnorodne „gorące” procesy	do 600
Monitorowanie fluidów	do 1000
Monitorowanie płomienia	do 600
Sprzęt konsumencki	
Odbiorniki i systemy TV	do 200
Piece mikrofalowe	do 500
Zastosowania domowe	do 200
Automobilizm	
Przedział silnika	–40÷165
Układ przenoszenia napędu	–40÷165
Elementy montowane w kołach	–40÷250
Komora spalania	do 1000
Inne	
Użyteczność publiczna	do 500
Zastosowania militarne	do 250
Komunikacja	do 250
Przemysł ciężki	do 300
Systemy kosmiczne	do 600
Kontrola zanieczyszczeń	do 550
Monitorowanie reaktorów jądrowych	do 550

w podwyższonej temperaturze. Zastosowanie procedury burn-in do elementów elektroniki wysokotemperaturowej wymaga zastosowania równie wysokich temperatur jak w przypadku przyspieszonych testów niezawodności, i z tego powodu napotyka na podobne trudności.

2.2. ZASTOSOWANIA PRZEMYSŁOWE

Jest wiele sytuacji, w których są potrzebne systemy lub ich elementy mogące pracować w podwyższonej temperaturze. Są one potrzebne z uwagi na optymalizację procesów pomiarowych i sterowania, efektywności i niezawodności jak również redukcję kosztów w wielu gałęziach przemysłu. Ilość praktycznych zastosowań HTE jest już duża, a oczekuje się, że w ciągu najbliższych lat będzie coraz większa. W Tabeli 1 zebrano najbardziej reprezentatywne przykłady tych zastosowań w podstawowych gałęziach przemysłu, z uwzględnieniem typowego zakresu temperatur dla każdego z nich. Dane te uzupełniają Tabele 2 i 3, w których zestawiono obecne i oczekiwane

Tabela 2

Światowy rynek HTE wg zastosowań [6]

World market for HTE according to the applications [6]

Zastosowanie	1998		2003		2008	
	\$ mln	%	\$ mln	%	\$ mln	%
Sprzęt lokowany w odwiertach	78,5	44	107,3	28,33	170,2	19
Aeronautyka	14,5	8	48,0	12,66	108,4	12
Automobilizm	78,3	44	204,8	54,07	561,3	64
Inne	5,9	3	18,7	4,94	47,2	5
Razem	177,2	100	378,8	100	887,1	100

Tabela 3

Światowy rynek HTE wg zakresu temperatur [6]

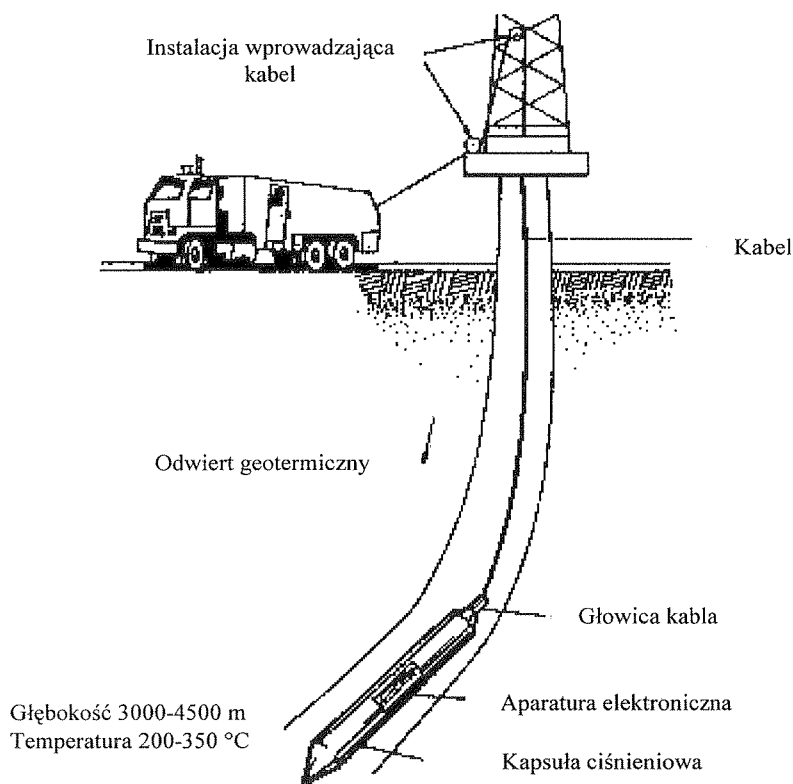
World market according to the temperature range [6]

Temperatura	1998		2003		2008	
	\$ mln	%	\$ mln	%	\$ mln	%
do 200	171,7	97	344,5	91	779,3	88
200+300	4,3	2	25,2	7	78,3	9
ponad 300	1,2	1	7,1	2	29,5	3
Razem	177,2	100	378,8	100	887,1	100

potrzeby światowego rynku elektroniki w obszarze HTE, tak z uwagi na obszar aplikacji jak i z uwagi na zakres temperatur pracy. Pokazują one oczekiwany intensywny wzrost rynku HTE, który staje się coraz bardziej interesujący z komercyjnego punktu widzenia. Potwierdzają one również podstawowe znacznie niższego zakresu temperaturowego (do 300°C) dla obecnych zastosowań systemów HTE w przemyśle, jak również fakt, że obecnie te aplikacje są skoncentrowane jedynie w kilku sektorach przemysłu.

2.2.1. Odwierty

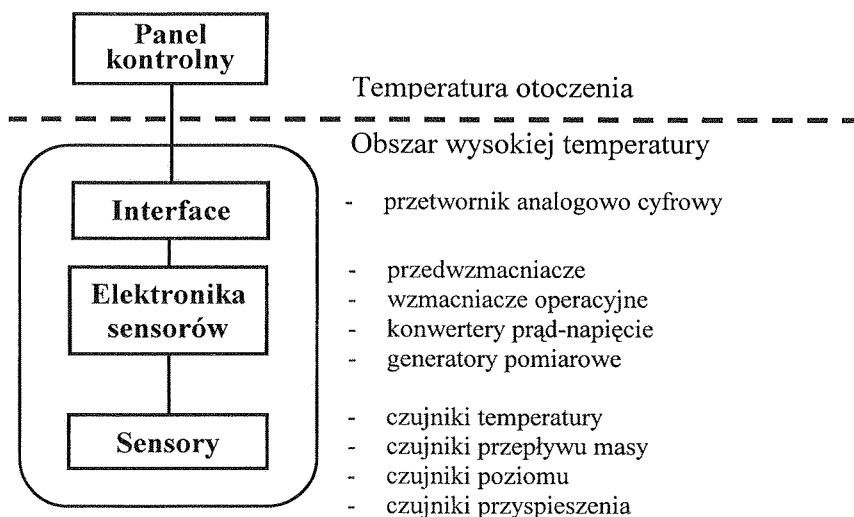
Naftowy przemysł wydobywczy wymaga sprzętu wprowadzanego do głębokich odwiertów, w których panują wysokie temperatury otoczenia. Z tego względu, na przestrzeni ostatnich 20 lat, był on głównym sponsorem prac nad rozwojem HTE i do dzisiaj pozostaje jednym z głównych użytkowników systemów HTE z 45% udziałem w rynku. Podstawowym zadaniem tych systemów jest zbieranie fizycznych i chemicznych danych o warunkach panujących w odwiercie poprzez wprowadzenie do jego wnętrza sondy pomiarowej, jak to schematycznie przedstawiono na rys.1. Pierwsze



Rys. 1. Rys.1.Schematyczne przedstawienie zestawu pomiarowego z sondą wprowadzaną do odwiertu [7]

Fig. 1. Schematic view of a measurement set with the probe inside the well [7]

sondy zawierały jedynie przetworniki, mierzące m.in. takie wielkości jak temperatura, ciśnienie, przepływ, położenie, pole magnetyczne, czy aktywność sejsmiczną [8,9], zdalnie sterowane przez elektroniczną część umieszczoną na powierzchni. Potrzeba jednoczesnego pomiaru wielu parametrów z coraz większą precyzją prowadziła do coraz większej złożoności stosowanych sond, a ich rozwój był związany z włączeniem także części elektronicznej i zastąpieniem prostych przetworników przez tzw. „inteligentne sensory” (ang. „smart sensors”) zawierające np. przetworniki A/D, układy przetwarzania sygnału, pamięci, układy mocy itp. [8–10]. Typowa struktura takiego inteligentnego sensora jest przedstawiona na rys.2.



Rys. 2. Schematyczne przedstawienie budowy inteligentnego sensora

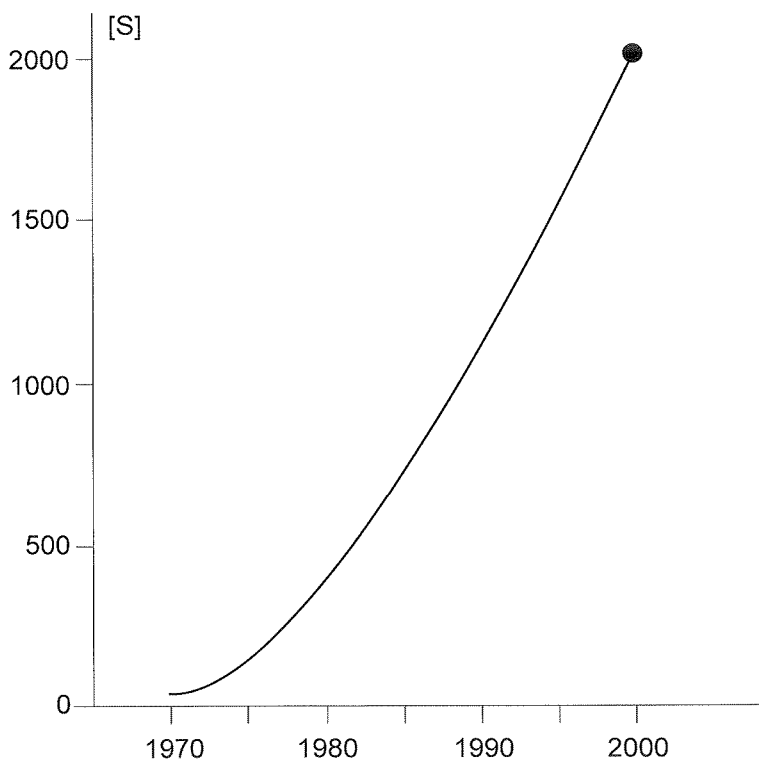
Fig. 2. Schematic view of smart sensor design

Wysokotemperaturowe wymagania dotyczące systemów umieszczanych w odwiertach wynikają z warunków panujących głęboko w wydrążonym otworze. Temperatura narasta w nich wraz z głębokością typowo z prędkością około 10-30 °C/km [9], a czasami nawet szybciej. Choć tylko niewielka część odwiertów naftowych i gazowych jest rzeczywiście bardzo głęboka, istnieje generalna tendencja wzrostu ich głębokości do wartości większej niż 5 km. Temperatury występujące w takim odwiercie mogą być rzędu 150°C do 225°C, a kiedy stosuje się wstrzykiwanie pary wodnej w celu polepszenia efektywności wydobywania ropy, mogą one ulec zwiększeniu do 200-300°C [10]. Ze swojej natury, odwierty geotermiczne są głębsze i zakres panujących w nich temperatur rozciąga się do ca. 300°C, a nawet do 400°C dla odwiertów drążonych do głębokości większych niż 11 km [11]. Podane wyżej wymagania temperaturowe lokują zastosowania związane z wprowadzaniem aparatury elektronicznej do głębokich odwiertów w niskotemperaturowym zakresie HTE. Jedynie w niewielu przypadkach, gdy

w celach badań geologicznych lub eksploatacji energii geotermicznej, odwiert sięga rejonu magmy, sonda może zetknąć się z temperaturami rzędu 500–1000°C, co odpowiada zakresowi wyższych temperatur HTE [12].

2.2.2. Automobilizm

Przemysł samochodowy jest tą gałęzią, której wymagania dotyczące zastosowań HTE wzrastają najszybciej. Obecnie są one na tym samym poziomie co górnictwa naftowego, ale gałąź ta reprezentuje największego potencjalnego użytkownika i oczekuje się, że zajmie ona wiodącą pozycję na rynku HTE. W roku 1990 typowy samochód posiadał z grubsza 150 elektronicznych elementów (więcej w wersjach luksusowych, mniej w ekonomicznych) podczas gdy obecnie ilość ta osiąga, a nawet przekracza 400 [13]. Wartość elektronicznych elementów instalowanych wewnątrz jednego pojazdu rośnie w podobny sposób, jak to ilustruje rys.3, i zmieniła się z ok. \$ 1100 w roku 1990 na \$ 2000 w roku 2000. Biorąc pod uwagę, że tylko w USA montuje się rocznie ok. 15 milionów samochodów, a systemy HTE stanowią istotną część ich elektronicznego wyposażenia, można sobie łatwo wyobrazić znaczenie tego zastosowania dla dalszego rozwoju technologii HTE.



Rys.3. Wzrost wartości elektronicznego wyposażenia samochodów [13]

Fig. 3. Increase of electronics equipment worth in cars [13]

Początkowo elektronika w samochodach była umieszczana w temperaturze pokojowej, głównie w bezpośrednim sąsiedztwie przedziału pasażerskiego, co pozwalało na stosowanie typowej elektroniki dla zakresu militarnego temperatur. Wraz ze wzrostem ilości instalowanych systemów elektronicznych, nie można było dłużej umieszczać ich jedynie w miejscach o łagodnych lokalnych warunkach otoczenia, co spowodowało, że część z nich musi obecnie pracować w wyższych temperaturach otoczenia. Dodatkowo, wzrastające wymagania dotyczące ich osiągnięć oraz złożoności wymusiły przemieszczenie istotnej części elektronicznych elementów sterujących do obszarów gdzie umieszczono przetworniki i elementy wykonawcze [14, 15]. Zmiany te doprowadziły rozwoju „inteligentnych sensorów” (ang. „smart sensors”) oraz „inteligentnych elementów wykonawczych” (ang. „smart actuators”), które odgrywają coraz większą rolę w kontrolowaniu i sterowaniu pracą pojazdu.

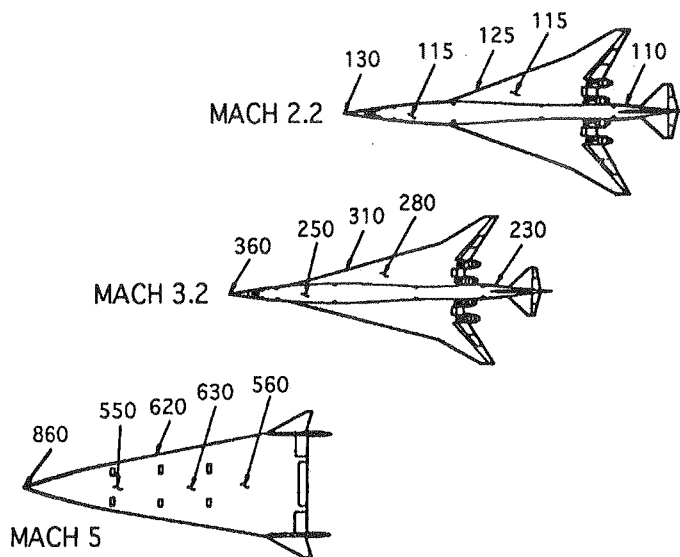
Inteligentne sensory i akulatory, w odróżnieniu od większości pozostałej elektroniki w samochodzie, charakteryzują się tym, że ich elektroniczna część, zintegrowana z czujnikiem lub elementem wykonawczym, pracuje w tych samym otoczeniu i warunkach co one. Warunki te są w znacznym stopniu zdeterminowane przez kontrolowany parametr, a wynikający z nich zakres temperatur pracy jest szeroki. Najwyższe z nich, w systemach kontroli spalin, sięgają około 850°C ale są to temperatury ekstremalne, podczas gdy typowe wartości są znacznie mniejsze. Temperatury spotykane w przedziale silnikowym jak i występujące na silniku oraz układach przekazywania napędu są rzędu 150–200°C, temperatura w miejscach pomiaru ciśnienia sprężania w cylindrach może osiągać 200–300°C, podczas gdy temperatura elementów zamontowanych w kołach jest rzędu 250°C. Tak więc większość tych zastosowań można traktować jako należące do niższego zakresu temperatur HTE.

W zastosowaniach samochodowych poważniejszym problemem niż długotrwała praca w wysokiej temperaturze są cykliczne zmiany temperatury gdy temperatura otoczenia zmienia się od –40°C do jej maksymalnych wartości.

2.2.3. Aeronautyka

Przemysł lotniczy ma podobne techniczne wymagania co przemysł samochodowy, ale w tym przypadku ekonomiczne ograniczenia nie są tak ostre, co wynika z jego specyfiki (jednostkowa produkcja z wysokimi wymaganiami niezawodnościowymi). Wzrost możliwości i sprawności nowoczesnych samolotów w coraz większym stopniu zależy od złożonej elektroniki i sensorów, które monitorują i sterują istotne elementy silnika oraz zewnętrznych powierzchni, które pracują w wysokich temperaturach [16–18]. Jak ta zewnętrzna temperatura może zmieniać się w samolotów naddźwiękowych wraz ze wzrostem prędkości pokazuje rys. 4.

Zainteresowanie przemysłu lotniczego zastosowaniem HTE ma kilka istotnych przyczyn, które można ująć w następujące punkty:



Rys. 4. Ocena zmian temperatury na powierzchni bardzo szybkich samolotów wg. opracowań firmy McDon Douglas [19]

Fig. 4. Evaluation of temperature distribution on the surface of very fast aircrafts, according to McDon Douglas [19]

- We współczesnych samolotach występuje tendencja do wprowadzania rozproszonych systemów elektronicznych, opisywana obrazowo w języku angielskim jako „fly by wire” lub „fly by light” [20]. Systemy monitoringu i sterowania wraz z towarzyszącymi im układami elektronicznymi są lokowane bezpośrednio w silniku, w przetwornikach lub nawet na zewnętrznym poszyciu samolotu (tzw. „smart skin”) jak również rozważa się wprowadzenie elektrycznie sterowanych aktuatorów w miejsce systemów hydraulicznych [21]. Taki rozłożony system dostarcza istotnych korzyści, takich jak mniejsza masa, większa odporność na zakłócenia elektromagnetyczne, mniejsze koszty oraz redukcja ilości przewodów i połączeń prowadząca do większej prostoty i niezawodności, ale ceną za to jest to, że elementy elektroniki muszą pracować w otoczeniu o wyższej temperaturze.
- Utrzymanie odpowiedniej temperatury, a w szczególności konieczność chłodzenia elektroniki, jest jednym z poważniejszych problemów projektowania samolotów. Jest to realizowane przez specjalny system, określany mianem systemu nadzoru otoczenia (ang. environmental control system — ECS), który zużywa dużą część mocy generatorów zainstalowanych w samolocie (np. w myśliwcu F15E jest to ok. 1/3 z zainstalowanej na jego pokładzie mocy 152kW [21]). Do chłodzenia elektroniki używa się również benzyny jako cieczy chłodzącej, rozwiązanie to ma jednak szereg wad, wymaga instalacji specjalnego systemu pomp, specjalnych obudów dla elektroniki, a na dodatek może być niebezpieczne. Zastosowanie elementów HTE

powinno uprościć ten problem redukując masę, wymiary i pobór mocy systemu ECS lub nawet eliminując ten system z pewnych konstrukcji.

- Zwiększająca się ilość systemów elektronicznych w samolocie prowadzi do sytuacji kiedy niektóre z nich są umieszczane w miejscach gdzie efektywne chłodzenie jest bardzo trudne lub nawet niemożliwe. W szczególności wprowadzenie elektrycznie sterowanych aktuatorów, polepszając własności i niezawodność konstrukcji, będzie wymagało elektronicznych elementów mocy zdolnych do pracy w podwyższonych temperaturach, a wiele z nich będzie umieszczonych w miejscach uniemożliwiających efektywne chłodzenie, np. w sąsiedztwie zewnętrznej powierzchni samolotu.

Większość zastosowań związanych z układami kontroli i sterowania w samolotach wymaga systemów elektronicznych pracujących w temperaturach do 300°C, a więc w niskotemperaturowym obszarowi HTE. Jednak w pewnych zastosowaniach, takich jak np. systemy testujące w przemyśle lotniczym oraz w naziemnych stacjach obsługi samolotów, są wymagane urządzenia mogące pracować w temperaturach do 600°C.

2.2.4. Monitorowanie procesów

Wzrastające wymagania dotyczące monitorowania i zdalnego sterowania procesami przemysłowymi jest nieodłączną cechą rozwoju współczesnego przemysłu. Oznacza to, że wymaga on coraz większej ilości systemów elektronicznych, które w całości lub w części są umieszczane w obszarach podwyższonej temperatury, jak to np. miejsce w przypadku odwiertów naftowych. Jest dużo takich zastosowań występujących w wielu dziedzinach przemysłu i tylko kilka z nich może być tu przedstawionych. Doskonałym przykładem są systemy wytwarzania energii wykorzystujące reaktory jądrowe (tak naziemne jak i lokowane w statkach kosmicznych) [22]. Wymaganie lokowania systemów elektronicznych tak blisko reaktora jak to jest możliwe jest w tym przypadku oczywiste, ale prowadzi do poddania ich wysokiemu poziomowi radiacji oraz działania wysokich temperatur, które np. w przypadku reaktora SP-100 lokowanego na satelitach jest rzędu 375–425°C [23]. W wielu procesach przemysłowych występują operacje wymagające czasowego wzrostu temperatury z dużymi wartościami chwilowymi [24, 25]. Ma to miejsce w przemyśle spożywczym, farmaceutycznym a nawet w elektronicznym, w którym np. temperatury podczas cyklu lutowania osiągają wartości ok. 200–300°C. Wysokie temperatury występują zarówno w tak ważnych zastosowaniach jak urządzenia chemiczne czy energetyczne, w których temperatury pracy systemów elektronicznych mogą być bardzo duże, jak i w tak specyficznych zastosowaniach głowice drukarek czy ogniwa słoneczne z koncentratorami promieniowania słonecznego.

3. MATERIAŁY PÓLPRZEWODNIKOWE

Elektronika wysokotemperaturowa nie wymaga na ogół specjalnych technologii, ale wykorzystuje możliwości jakie daje adaptacja konwencjonalnych technologii elektro-

nicznych. Również niektóre przyrządy dla „zakresu militarnego” mogą pracować powyżej formalnej granicy 125°C deklarowanej przez producentów. Po dziś dzień, w przypadku małoseryjnej produkcji systemów elektronicznych dla zakresu niskotemperaturowego HTE, jest stosowana ręczna selekcja elementów oferowanych dla „zakresu militarnego” jako mniej kosztowna. Elektronika wysokotemperaturowa powstała poprzez adaptację istniejącej bazy wytwórczej elektroniki i wymaga prawie takich samych elementów jak elektronika dla standardowych temperatur od struktur półprzewodnikowych począwszy, a na transformatorach, kondensatorach i płytkach obwodów drukowanych skończywszy. Stąd też, w szczególności dla obszaru wyższych temperatur HTE (powyżej 300°C), prowadzone są prace nad poszukiwaniem nowych, odpowiednich dla tych temperatur, rozwiązań materiałowych i konstrukcyjnych. Odpowiednie materiały półprzewodnikowe, jako podstawa dla wytworzenia przyrządów półprzewodnikowych, stanowiących nieodłączny element wszelkiej aparatury elektronicznej, są tu kluczowym elementem z punktu widzenia pracy tych urządzeń w warunkach podwyższonych temperaturach.

Tabela 4
Materiały półprzewodnikowe dla różnych zakresów temperatur

Semiconductor materials for different temperature ranges

Zakres Temperatury	Przerwa energetyczna	Materiały
< 300°C	$W_g = 1.12$ eV	Si-SOI
300°C÷500°C	$W_g < 2.3$ eV	GaAs, InP, GaP
> 500°C	$W_g > 2.3$ eV	SiC, C-diamant GaN, AlN, BN,

Termiczna generacja par dziura-elektron w półprzewodniku i wynikająca z niej koncentracja samoistna nośników w danej temperaturze ni są naturalnym ograniczeniem jego zastosowania w przyrządach półprzewodnikowych, w których temperatura pracy struktury półprzewodnikowej jest zbyt wysoka. Ponieważ szybkość generacji par dziura-elektron jest niższa w materiałach o szerszej przerwie zabronionej, te materiały są preferowane w zastosowaniach wysokotemperaturowych. W Tabeli.4 zestawiono wymagane wartości przerwy energetycznej dla typowych zakresów temperatury wraz z materiałami spełniającymi te wymagania. Zawiera ona zarówno takie materiały jak Si i GaAs, których technologie są już opanowane, jak i materiały szerokopasmowe, których technologie są dopiero rozwijane. Zgodnie z Tabelą. 3 obecne wymagania rynku koncentrują się głównie na niskotemperaturowym zakresie HTE, w którym mogą być stosowane przyrządy wykonane z Si i GaAs. Ma to swoje odbicie w rynku materiałów półprzewodnikowych jak to ilustruje Tabela. 5.

Te
95% ry
wszyst
zakres,
pewne
są obec
nawet
wykon
przyją
przewo
pozycje
Za
300°C
stosowa
militarn
wych o
peratur
upływu
wprowa
prądy u
w tech
zmiana
złącza
czyszcz
Inn
warstw
nych z

Tabela 5

Rynek światowy materiałów półprzewodnikowych dla HTE [6]

World market of semiconductors for HTE [6]

Półprzewodniki	1998		2003		2008	
	\$ mln	%	\$ mln	%	\$ mln	%
Si/SOI	155,7	88	308,8	82	667,7	75
GaAs	20,6	11	60,8	16	183,2	21
Półprzewodniki szeroko pasmowe	0,9	1	7,2	2	36,2	4
Razem	177,2	100	378,8	100	887,1	100

3.1 KRZEM

Technologia krzemowa jest obecnie technologią dominującą, zaspakajającą ponad 95% rynku materiałów półprzewodnikowych. Krzem jest podstawowym materiałem dla wszystkich aplikacji „zakresu militarnego” a rozszerzenie jego zastosowania poza ten zakres, w obszar odpowiadający HTE, wydaje się być najlepszym rozwiązaniem. Do pewnego stopnia jest to możliwe, gdyż temperaturowe możliwości zastosowań krzemu są obecnie często zaniżane. Ich naturalna fizyczna granica jest znacznie wyższa i może nawet przekraczać 400°C , a testowe przyrządy dla takich temperatur zostały już wykonane i przebadane [26–28]. Z praktycznego punktu widzenia, można jednak przyjąć, że wynosi ona ca. 300°C dla rzeczywistych krzemowych przyrządów półprzewodnikowych, co zgodnie z Tabelą 3 jest wystarczające aby miały one dominującą pozycję na rynku HTE.

Zapewnienie długotrwałej pracy przyrządów krzemowych w temperaturach rzędu 300°C wymaga odpowiedniego ich zaprojektowania i wykonania, ponieważ rozwiązania stosowane dla przyrządów konwencjonalnych, przeznaczonych do pracy w „zakresie militarnym”, generalnie słabo sprawdzają się powyżej ok. 150°C dla układów analogowych oraz powyżej ok. 250°C dla układów cyfrowych. Przy podwyższonych temperaturach parametry przyrządów krzemowych zmieniają się w wyniku wzrostu prądów upływu i rezystywności oraz zmniejszenia się ruchliwości, co może być przyczyną wprowadzenia przyrządu w stan awaryjny. wywołany np. przez efekt latchup lub duże prądy upływu [29–31]. Rozszerzenie zakresu temperatur roboczych zostało osiągnięte w technologiach CMOS i I^2L poprzez ich modyfikacje [33–35]. Polegały one na zmianach koncentracji domieszkowania płytek podłożowych, minimalizacji obszaru złącza źródło/dren-podłoże, eliminacji diody zabezpieczającej oraz zmniejszeniu zanieczyszczeń tlenu bramkowego.

Innym sposobem zwiększenia temperatury pracy krzemowych IC jest wprowadzenie warstwy izolującej przyrząd powodującej zmniejszenia szkodliwych efektów związanych z prądami upływu złącz w porównaniu ze standardową technologią CMOS

[36–39]. Technologia ta, nazywana technologią SOI (od ang. Silicon-On-Insulator), polega na wprowadzeniu zagrzebanej warstwy izolacyjnej do płytki krzemowej. Jest to zwykle cienka warstewka SiO_2 , typowo o grubości ok. 400 nm, umieszczona na głębokości ok. 100–200 nm poniżej powierzchni płytki krzemowej. Rolę warstwy aktywnej, podlegającą procesom technologicznym, pełni jedynie warstwa Si powyżej warstwy izolacyjnej. W porównaniu z rozwiązaniami konwencjonalnymi, np. technologią CMOS, rozwiązanie to posiada szereg zalet takich jak mniejsze prądy upływu złącz, stłumienie efektu latchup, zmniejszone pojemności złączowych oraz mniejsze pojemności pasożytnicze w stosunku do podłoża. Pozwala to na rozszerzenie zakresu roboczych temperatur o ok. 50–100°C umożliwiając pracę krzemowych IC typowo w temperaturze 300°C, a nawet wyższych [28, 40–42]

Maksymalna temperatura pracy deklarowana dla oferowanych obecnie na rynku krzemowych elementów wysokotemperaturowych jest rzędu 175–225°C. Ostatnio, firma Honeywell przedstawiła ofertę nowej linii wysokotemperaturowych układów scalonych wykonywanych w zmodyfikowanej technologii SOI, dla których zadeklarowała maksymalną temperaturę 250°C z możliwością zastosowań do 270–300°C (test burn-in przy 225°C, 2500 godzin) [43].

3.2. ARSENEK GALU

Arsenek galu z przerwą energetyczną 1,43 eV należy do półprzewodników o średniej przerwie energetycznej, które zgodnie z Tabelą 4 mogą pracować do temperatury 500°C. Jest on półprzewodnikiem stosowanym najczęściej po krzemie o zaawansowanej technologii, która pozwala na wytwarzanie zarówno czystych struktur GaAs jak i innych pokrewnych struktur III-V jak GaAlAs czy GaInAs. Ich własności, takie jak prosta przerwa energetyczna, duża ruchliwość elektronów i zdolność do tworzenia heterostruktur umożliwia takie ich zastosowania, w których zastosowanie krzemu byłoby mniej korzystne lub nawet niemożliwe. Zastosowania te obejmują elektronikę wysokoczęstotliwościową (np. mikrofalę), optoelektronikę (np. diody elektroluminescencyjne i lasery dla telekomunikacji), specjalne sensory (np. piezoelektryczne mikromaszyny) oraz heterostruktury (np. tranzystory HEMT lub przyrządy ze studniami kwantowymi) [44–47]. Dlatego, choć przemysł GaAs stanowi istotną część przemysłu półprzewodnikowego, jest on bardziej ukierunkowany na takie rynki jak telekomunikacja i optoelektronika, a możliwości zastosowań GaAs w dziedzinie HTE nie są raczej wykorzystywane.

Mniejsze zainteresowanie GaAs w aplikacjach HTE wynika także z przekonania, że niewiele większa maksymalna temperatura pracy GaAs w porównaniu z Si daje na tyle mały wzrost możliwości aplikacyjnych, że nie są one warte niezbędnych nakładów, które lepiej skierować na badania najbardziej obiecujących materiałów szerokopasmowych. Mimo to badania testowych przyrządów z GaAs, które mogą pracować w temperaturach 400–500°C są kontynuowane a wyniki tych badań publikowane [48–50].

Gór
dolnego
rwie zab
temperat
technolo
podłożow
SiC, Ga
Wydaje
w bardz
parametr
prace na
technolog
ona wcia
Osiągnęł
o coraz l
tów (np.
przyrząd
rządów p
Obec
wym dla
niowanie
temperatu
ności od
półprzew
niki moc
w wielu
nymi i c
odpowied
atomy Si
powstają
W Tabeli
i 4H-SiC
najbardziej
Choc
Schottkie
półprzewo
peraturach
projektow
rozwoj tec
tworzone
no polityp

3.3. PÓŁPRZEWODNIKI SZEROKOPASMOWE

Górny zakres HTE, dla temperatur do i powyżej 500°C, w przeciwieństwie do dolnego zakresu, wymaga zastosowania innych materiałów o odpowiednio dużej przerwie zabronionej, które zapewnią niski poziom generacji par dziura-elektron w obszarze temperatur roboczych (zalecane $W_g > 2.3\text{eV}$). Stworzyło to zapotrzebowanie na nowe technologie wytwarzania takich materiałów tak w postaci monokryształów jak i płytek podłożowych. Na dzień dzisiejszy prace te koncentrują się na takich materiałach jak SiC, GaN, AlN, BN oraz C-diamant z różnym stopniem zaawansowania [51–55]. Wydaje się, że spośród tych materiałów największe potencjalne możliwości zastosowań w bardzo wysokich temperaturach ma diament, co łącznie z jego bardzo dobrymi parametrami cieplnymi, czyni go bardzo obiecującym materiałem przyszłości. Jednak prace nad technologią SiC są bardziej zaawansowane i jest to obecnie zdecydowanie technologia najbardziej dojrzała, chociaż w porównaniu z technologiami Si i GaAs jest ona wciąż w początkowym etapie rozwoju dla potrzeb zastosowań w elektronice. Osiągnęła on już stan pozwalający na wytwarzanie 2 i 3 calowych płytek podłożowych o coraz lepszych parametrach jakościowych, które są oferowane przez kilku producentów (np. Cree). Są również czynione kroki w kierunku wytwarzania na ich bazie różnych przyrządów półprzewodnikowych, od elementów optoelektronicznych po struktury przyrządów półprzewodnikowych mocy.

Obecnie węgiel krzemu jest najbardziej obiecującym materiałem szerokopasmowym dla zastosowań komercyjnych. Charakteryzuje się on dużą odpornością na promieniowanie jonizacyjne. W porównaniu z Si może on pracować przy znacznie wyższych temperaturach roboczych, których teoretyczny limit jest na poziomie 800–1300, w zależności od struktury krystalicznej. Z tego względu jest uważany za głównego kandydata na półprzewodnikowy materiał przyszłości dla elektroniki wysokotemperaturowej i elektroniki mocy [51, 56, 57]. Jego cechą charakterystyczną jest, że może krystalizować w wielu strukturach krystalicznych, różniących się między sobą własnościami fizycznymi i chemicznymi. Są dwie podstawowe odmiany, α -SiC i β -SiC, krystalizujące, odpowiednio, w sieci heksagonalnej i kubicznej. Ponadto, w każdej z tych odmian atomy Si i C mogą być lokowane względem siebie w różny sposób, w wyniku czego powstają kryształy o różnych własnościach nazywane politypami danej odmiany. W Tabeli 6 porównano parametry trzech politypii, dwóch heksagonalnych (6H-SiC i 4H-SiC) i jednej kubicznej (3C-SiC), których technologie wytwarzania są obecnie najbardziej zaawansowane, z tymi samymi parametrami Si i GaAs.

Chociaż pewne przyrządy z węgla krzemu, takie jak LED-y, tranzystory i diody Schottkiego pracujące do temperatury 350°C, są już oferowane na rynku przyrządów półprzewodnikowych (Cree, ABB), to przyrządy do zastosowań w wysokich temperaturach są jeszcze w fazie opracowywania. Wiele takich przyrządów zostało zaprojektowanych i zaprezentowanych w literaturze [59–63]. Z uwagi na nierównomierny rozwój technologii wytwarzania różnych politypii były to początkowo przyrządy wytworzone na bazie politypii 6H-SiC, natomiast w późniejszych konstrukcjach preferowano politypie 4H-SiC oraz 3C-SiC z uwagi na ich lepsze własności elektryczne.

Tabela 6

Porównanie parametrów krzemu i arsenku galu z parametrami podstawowych politypii węgliku krzemu [58]

Comparison of Si and GaAs parameters with the parameters of different SiC politypes [58]

Parametr	Jednostki	Si	GaAs	6H-SiC	4H-SiC	3C-SiC
Przerwa energetyczna W_g	eV	1.11	1.43	2.9	3.2	2.2
Stała dielektryczna ϵ_r		11.8	12.8	9.7	9.66	
Maksymalne pole elektryczne $E_{\max}$ ($N_d[\text{cm}^{-3}]$)	V/cm	6×10^5 (1×10^{17})	6.5×10^5 (1×10^{17})	35×10^5 (1×10^{17})	35×10^5 (1×10^{17})	$\approx 3 \times 10^6$ (4.8×10^{16})
Prędkość nasycenia elektronów v_s	cm/s	107	107	2×10^7	2×10^7	2.5×10^7
Ruchliwość elektronów μ_n	$\text{cm}^2/\text{V}\cdot\text{s}$	1350	6000	380	800	1000
Ruchliwość dziur μ_p	$\text{cm}^2/\text{V}\cdot\text{s}$	450	330	95	120	
Przewodność cieplna λ	W/cm*K	1.5	0.46	4.9	4.9	4.9

4. BIBLIOGRAFIA

1. T. Mahafkey: *High Temperature (500–600K) Electronics Thermal Management*. Sym. Space Nuclear Power and Propulsion, Albuquerque 1995, pp. 917–929.
2. P. L. Dreike, D. M. Fleetwood, D. B. King, D. C. Sprauer, T. E. Zipperian: *An Overview of High-temperature Electronic Device Technologies and Potential Applications*. IEEE Trans. Comp. Packaging and Mnu. Tech., vol. 17, 1994, pp. 594–609.
3. W. C. Nieberding, J. A. Powell: *High-Temperature Electronic Requirements in Aeropropulsion Systems*. IEEE Trans. Ind. Electron., 1982, pp. 103–106.
4. R. F. Jurgens: *High-Temperature Electronics Applications in Space Exploration*. IEEE Trans. Ind. Electron., 1982, pp. 107–111.
5. C. J. Scozzie, J. M. McGarrity, J. Blackburn, W. M. DeLancey: *Silicon Carbide FETs for High Temperature Nuclear Environments*. IEEE Trans. Nuclear Science, vol. 43, 1996, pp. 1642–1648.
6. HITEN, the European High Temperature Electronics Network, Internet page
7. G. A. Bennet: *Thermal Protection Methods for Electronics in Hot Wells*, in *High Temperature Electronics*, Ed. Kirschman R., IEEE Press, 1998, pp. 111–124.
8. T. Fallet, G. Forre, J. Gakkestad: *Oil-well applications: instrumentation of deep hot holes*, in *High Temperature Electronics*, Ed. Willander M., Hartnagel H.L., Chapman & Hall, 1997, chapter 3, pp. 37–63
9. J. Lasseur: *Oil and gas applications scenarios*. I European Conf. High Temp. Electronics, Madrid Nov. 1993, paper V.3
10. N. H. Sanders: *Present and Future Needs in High Temperature Electronics for the Well Logging Industry*. Conf. High. Temp. Electronics, Tucson Mar. 1981, pp. 17–18
11. A. F. Venerusa: *High Temperature Electronics for Geothermal Energy*, IEEE Circuit and Syst. Mag., vol. 1, nr. 3, 1979, pp. 11–17.
12. A. F. Veneruso: *High temperature technology-potential, promise and payoff*. Electro'80, Boston May 1980, paper 16/0
13. M. A. Tamor: *High-Temperature Electronics for Automobiles*, in *High Temperature Electronics*, Ed. Kirschman R., IEEE Press, 1998, pp. 153–160

Tabela 6
mu [58]

Nuclear

Overview
Comp.

propulsion

ans. Ind.

FETs for
-1648.

temperature

oles", in
er 3, pp.

drit Nov.

Logging

st. Mag.,

ston May

ics, Ed.

14. J. C. Erskine, R. G. Carter, H. L. Fields, J. A. Hearn, J. M. Himelick, J. A. Yurtin: *High Temperature Automotive Electronics: An Overview*. Int. High-Temp. Electron. Conf., Albuquerque 1996, vol.1, pp. XIII.21–31
15. J. Sparks: *High Temperature Electronics for Distributed Control*. Int. High-Temp. Electron. Conf., Albuquerque 1996, vol.1, pp. XIII.7–12
16. K. R. Willey, D. C. Dening: *The characterisation of high temperature electronics for future aircraft engine digital electronic control systems*. American Control Conf., Atlanta 1988, pp. 1831–1836.
17. D. Christenson: *High temperature electronics for supersonic aircraft*. High-Temp. Electron. Conf., Albuquerque 1991, pp. 245–264
18. Ch. M. Carlin, J. K. Ray: *The Requirements for High Temperature Electronics in a Future High Speed Civil Transport (HSCT)*. High-Temp. Electron. Conf., Albuquerque 1996, vol.1, pp. I.19–26
19. J. Ott: *HSCT research defines weight, fuel issues*. Aviation Week & Space Technology, 1988, pp. 88–90.
20. C. A. Bedoya: *Fly-by-wire to fly-by-light issues and solutions*. Proc. SPIE, vol.2840, 1996, pp. 148–156.
21. F.V. Thome, D. B. King: *Applications, Needs, and Alternatives, in High Temperature Electronics*, Ed. Kirschman R. IEEE Press, 1998, pp. 97–110.
22. M. M. Hintze: *High Temperature Electronics Utilisation for Present and Future Nuclear Instrumentation*. Conf. High Temp. Electronics, Tucson 1988, p. 11.
23. D. B. King, S. M. Luker, R. Ryan: *Multiplexer/amplifier Test Results for SP-100.*, Symp. Space Nuclear Power Systems, Albuquerque 1991, pp. 1100–1104.
24. W. R. Cross, D. R. Lesley: *Self-contained Microcircuitry Probe Acquires and Records Food-process Temperature Data*. Food Technology, vol.39, nr.12, 1985, pp. 36–41.
25. *Sensor Packaged for High Temperature*. Electronic Packaging and Production, vol.26, nr.11, 1986, p. 13.
26. M. Migitaka, K. Kurachi: *Silicon Integrated Injection Logic Operating up to 454°C and its application*. Int. High Temp. Electron. Conf., Charlotte 1994, pp. II.27–32.
27. M. Magitaka, H. Naito: *Progress of High-Temperature Silicon Integrated Logic*. Int. High Temp. Electron. Conf., Albuquerque 1996, pp. XI.15–20.
28. J. B. Kitterick: *Very Thin Silicon-on-insulator Devices for CMOS at 500°C*. Int. High Temp. Electronics Conf., Albuquerque 1991, pp. 37–41
29. J. L. Prince, D. B. Bullard, K. R. Infinger, J. W. Lathrio: *High Temperature MOSFET Characteristics for Geothermal Instrumentation*. IEEE SOUTHEASTCON'78, Atlanta 1978, pp. 376–379.
30. L. J. Palkuti, A. C. Macpherson, J. L. Prince, A. S. Glista: *Characteristics of Devices and Integrated Circuits at 260°C for Navy Applications*. Electron. Components Conf., Chwrry Hill 1979, pp. 47–54.
31. L. J. Palkuti, J. L. Prince, A. S. Glista: *Integrated Circuits at 260°C for Aircraft Engine-control Applications*. IEEE Trans. Components Hybrid and Manufacturing Technology, vol. CHMT-2, 1979, pp. 405–412.
32. B. L. Draper, W. Palmer: *Extension of High-temperature Electronics*. IEEE Trans. Components Hybrid and Manufacturing Technology, vol. CHMT-2, 1979, pp. 399–404.
33. J. L. Prince, E. A. Draper, E. A. Rapp, J. N. Kronberg, L. T. Fitch: *Performance of Digital Integrated Circuit Technologies at Very-high Temperatures* IEEE Trans. Components Hybrid and Manufacturing Technology, vol. CHMT-2, 1979, pp. 571–579.
34. L. J. Ragonese, D. C. Dening, W. L. Morris: *High Temperature Extended Range Operation for Integrated Injection Logic Circuits*. ELECTRO'80, Boston 1980, paper 16/3.
35. F. S. Shoucair: *Design Considerations in High-temperature Analog CMOS Integrated Circuits*. IEEE Trans. Components Hybrid and Manufacturing Technology, vol. CHMT-9, 1986, pp. 242–251.
36. Y. Arimoto: *High-temperature Operation of n-MOSFET on Bonded SOI*. Trans. on Electronics, vol.E75-C, nr. 12, pp. 1442–1446.
37. J. W. Kronberg: *High-temperature Behaviour of MOS Devices.*, SOUTHHEASTCON'81, Huntsville 1981, pp. 735–739.
38. G. Jones: *Dielectric Isolation Techniques in High-Temperature Electronics.*, Electrotechnology, vol.11, nr. 2, pp. 54–57.

39. D. M. Fleetwood, F. V. Thome, S. S. Tsao, P. V. Dressendorfer, V. J. Dandini, J. R. Schwank: *High Temperature Silicon-on-insulator Electronics for Space Nuclear Power Systems: Requirements and Feasibility*. IEEE Trans. Nuclear Science, vol. 35, nr. 5, pp. 1099–1112.
40. A. J. Auberton-Herve, J. P. Colinge, D. Flandre: *High temperature applications of SIMOX technology* HITEN News, nr. 5, 1995, pp. 4–6.
41. B. Gentinne, D. Flandre, J.-P. Colinge, F. van de Wiele: *Measurement and Two-dimensional Simulation of Thin-film SOI MOSFETs: Intrinsic Gate Capacitances at Elevated Temperatures*. Solid-St. Electron., vol.39, 1996, pp. 1613–1619.
42. P. Gehse, J. W. Klein: *Reliability of SIMOX-operational Amplifiers for Applications up to 3000C*. Int. High Temp. Electronics Conf., Albuquerque 1996, pp. XIV.3–8.
43. Honeywell data leaflet, 2000
44. G. G. Ortiz, C. P. Hains, J. Cheng, H. Q. Hou, J. C. Zolper: *Monolithic Integration of InGaAs Vertical Cavity Surface Emitting Lasers with Resonance -Enhanced Quantum Well Photodetectors*. Electron. Lett., vol.32, 1998, pp. 1–3.
45. I. Aller, C. Lang, G. Schweeger, H. L. Hartnagel, R. Dolt, G. Hohenberg: *Gallium Arsenide Piezotransistor for Dynamic Pressure Measurements at High Temperature*. Appl., Phys. Lett., vol.69, 1996, pp. 403–405
46. K. Fricke, W. Y. Lee, J. Wurfl, V. Krozer, H. L. Hartnagel: *Microwave characterization and comparison of Performance of GaAs based MESFETs, HEMTs and HBTs operating at high ambient temperatures*. Eur. GaAs and Related III-V Comp. Appl. Symp., Noordwijk 1992,
47. R. P. Ribas, J. Lescot, J. L. Leclercq, N. Bennouri, J. M. Karam, B. Courtois: *Micromachined Planar Spiral Inductor in Standard GaAs HEMT MMIC Technology*, IEEE Electron Dev. Lett., vol.19, 1998, pp. 285–287.
48. J. W. Klein: *Silicon and Gallium Arsenide in High Temperature Electronics Applications*. ISSSE'95, San Francisco 1995, pp. 157–162
49. C. D. Wilson, A. G. O'Neill, S. M. Baier, J. C. Nohava: *High Temperature Performance and Operation of HFET's*. IEEE Trans. Electron Dev., vol.43, 1966, pp. 201–206.
50. J. Würfl, B. Janke: *Technology towards GaAs MESFET-based IC for High Temperature Applications*. Materials Science & Eng. B, vol.B-46, nr.1-3, 1997, pp. 52–56.
51. K. Shenai, R. S. Scott, B. J Baliga: *Optimum Semiconductors for High-Power Electronics*. IEEE Trans. Electron Devices, vol.36, nr.9, 1989, pp. 1811–1823.
52. H. Z. Fardi, J. I. Pankove: *Modeling and Characterisation of High Frequency High Power GaN/SiC HBT's Operating at High Temperature*. Proc. SPIE, vol.2693, 1996, pp. 73–83.
53. S. C. Binari, K. Doverspike, G. Kelner, H. B. Dietrich, A. E. Wickenden: *GaN FETs for Microwave and High-temperature Applications*. Solid-St. Electron., vol. 41, 1997, pp. 177–180.
54. M. W. Geis, D. D. Rathman, D. J. Ehrlich, R. A. Murphy, W. T. Lindley: *High Temperature Point-contact Transistors and Scottky Diodes Formed on Synthetic Boron-doped Diamond* IEEE Electron Dev. Lett., vol.EDL-8, 1987, pp. 341–343
55. G. Kelner, S. Binari, M. Shur, J. Palmour: *High Temperature Operation of (-Silicon Carbide Buried-Gate Junction Field-Effect Transistors*. Electron. Lett., vol.27, nr.12, 1991, pp. 1038–1040.
56. R. Piellisch: *Silicon Carbide Takes the Heat*. Aerospace America, vol.32, 1994, pp. 28–31.
57. J. W. Palmour, R. Singh, R. C. Glass, O. Kordina, C. H. Carter: *Silicon Carbide for Power Devices*. ISPSD'97, Weimar 1997, pp. 25–32.
58. Z. Lisik, H. Stojek: *Węgliki krzemu — Nowy materiał mikroelektroniki*. Elektronika — ZN PŁ, 1998, pp. 223–241.
59. L. G. Matus, J. A. Powell, C. S. Salupo: *High-voltage 6H-SiC p-n junction diodes*. Appl. Phys. Lett., vol. 59, 1991.
60. J. A. Edmond, H. S. Kong, C. H. Carter: *High Temperature Rectifiers*. UV Photodiodes and Blue LEDs in 6H-SiC, 4th Int., Conf. Amorphous and Crystalline SiC and Other IV-IV Materials, Santa Clara, 1991.
61. S. T. Sheppard, M. R. Melloch, J. A. Cooper: *Characteristics of Inversion-Channel and Buried-Channel MOS Devices in 6H-SiC*. IEEE Trans. Electron Devices, vol.41, 1994, pp. 1257–1264.

62. S.
Op
63. M.
4H

T
range”
temper
the imp
field of
HTE sp
has on
as well
HTE d

Keywo

62. S. H. Ryu, K. T. Kornegay, J. A. Cooper, M. R. Meloch: *Digital CMOS ICs in 6H-SiC Operating on a 5V Power Supply*. IEEE Trans. Electron Dev., vol.45, 1998, pp. 45-53.
63. M. E. Levinshtein, J. W. Palmour, S. L. Rumyanetsev, R. Singh: *Turn-on Process in 4H-SiC Thyristors*. IEEE Trans. Electron Devices, vol.44, 1997, pp. 1177-1179.

Z. LISIK

HIGH TEMPERATURE ELECTRONICS

Summary

The standard electronics equipment is designed to work within the temperature range called the „military range”. For some cases, however, one needs to introduce electronics into the environment with higher temperature or the higher inside temperatures caused by the selfheating are required. These needs had became the impulse to start the research how to manufacture such an equipment, which resulted in creation of the new field of electronics called „high temperature electronics” (HTE). The paper is aimed at the introduction of the HTE specificity. In particularly, what this term means, which kinds of application it covers and which place it has on the market. New problems created by the HTE applications and how they can be solved are presented as well, but in this case the interest is limited to the semiconductor materials that are of crucial importance for HTE development.

Keywords: high-temperature electronics, electronics applications, semiconductor materials, wide band-gap semiconductors

M
podze
dielek
dielek
zmian
były
wanie
w tec

Badania właściwości materiałów ferroelektrycznych w zakresie mikrofal

EUGENIUSZ JASZCZYSZYN¹, MIKOŁAJ SZAFRAN²,
JÓZEF MODELSKI¹, EWA BOBRYK²

¹ Instytut Radioelektroniki, Politechnika Warszawska
Nowowiejska 15/19, 00-665, Warszawa
e-mail: e.jaszczyszyn@ire.pw.edu.pl; j.modelski@ire.pw.edu.pl

² Wydział Chemii, Politechnika Warszawska
Noakowskiego 3, 00-664, Warszawa
e-mail: szafran@ch.pw.edu.pl; bobryk@morphine.ch.pw.edu.pl

Otrzymano 2002.05.28

Autoryzowano 2002.10.03

W pracy przedstawiono impulsową metodę do pomiaru parametrów materiałów ceramiczno-polimerowych, przydatnych dla zastosowań w zakresie mikrofal. Przeprowadzono także badania kompozytowych warstw ceramiczno-polimerowych zawierających modyfikowany ceramiczny proszek ferroelektryczny typu $\text{Ba}_{0,65}\text{Sr}_{0,35}\text{TiO}_3$ oraz odpowiedni polimer, w którym w sposób dyskretny rozproszone zostały ziarna tego proszku. Otrzymane współczynniki przestrajania skutecznej przenikalności elektrycznej pozwalają stwierdzić, że warstwy takie nadają się do opracowania nowych typów anten oraz podzespołów mikrofalowych.

Słowa kluczowe: impulsowa metoda pomiaru, ferroelektryki, kompozyty ceramiczno-polimerowe.

1. WPROWADZENIE

Materiały dielektryczne odgrywają ważną rolę w projektowaniu i wytwarzaniu podzespołów radioelektronicznych. Nowoczesne technologie syntezy i wytwarzania dielektryków spowodowały szybki rozwój dielektryków aktywnych, które różnią się od dielektryków zwykłych tym, że można sterować ich własnościami elektrycznymi przez zmianę np. pola elektrycznego. Do takich materiałów należą ferroelektryki, które często były używane do wytwarzania kondensatorów sterowanych elektronicznie. Zainteresowanie ferroelektrykami znacznie wzrosło w ostatniej dekadzie. Są one stosowane m.in. w technice antenowej w postaci podzespołów do szkieletów antenowych [1, 2, 3].

Metody pomiarów właściwości materiałów dielektrycznych można podzielić na następujące zasadnicze grupy (przy czym w obrębie każdej z nich istnieje wiele wariantów):

1. Metody rezonansowe polegające na pomiarze częstotliwości rezonansowych i dobroci współosiowego lub wnekowego obwodu rezonansowego pustego oraz obciążonego próbką badanego materiału.
2. Metody odbiciowe w liniach mikrofalowych polegające na pomiarze współczynnika odbicia od odcinka linii wypełnionego badanym materiałem przy zwarcu i rozwarciu tego odcinka na końcu. Zmierzone współczynniki odbicia umożliwiają obliczenie najpierw impedancji charakterystycznej i współczynnika przenoszenia wspomnianego odcinka linii, a następnie parametrów przenikalności elektrycznej ϵ_w oraz magnetycznej μ_w badanego materiału. Pomiarów odbiciowych można przeprowadzać również w wolnej przestrzeni.
3. Metody transmisyjne są oparte na pomiarze przesunięcia fazowego i tłumienia fali przechodzącej przez próbkę badanego materiału umieszczonego w linii mikrofalowej lub wolnej przestrzeni. Pomiarów w wolnej przestrzeni są zwykle wykonywane przy najkrótszych falach zakresu mikrofalowego przy zastosowaniu interferometrów.
4. Metody kalorymetryczne są stosowane tylko do pomiarów kąta stratności badanego materiału.

Pomiary parametrów materiałów dielektrycznych, których względna przenikalność magnetyczna jest równa jedności, sprowadzają się tylko do wyznaczenia względnej zespolonej przenikalności elektrycznej

$$\epsilon_w = \epsilon' - j \cdot \epsilon'' = \epsilon' (1 - j \cdot \tan \delta_e) \quad (1)$$

Wybór jednej z wyżej wymienionych grup pomiarowych, a następnie w obrębie grupy najkorzystniejszej metody i właściwego układu pomiarowego zależy od wielu czynników, z których najważniejsze są:

- jakie parametry materiału mają być mierzone, z jaką dokładnością i na jakiej częstotliwości;
- jakie są możliwości techniczne, zwykle mechanicznego wykonania dokładnych przyrządów, jak przestrajane obwody rezonansowe, precyzyjne napędy itp.;
- jakiego kształtu i jakich wymiarów mogą być próbki badanego materiału i jakie są tolerancje tych wymiarów;
- jaki jest rząd wielkości mierzonych parametrów.

Wymienione powyżej metody pomiarowe są przeznaczone głównie do badań materiałów, których przenikalność względna nie przekracza 80 (natomiast przenikalność ferroelektryków może sięgać kilkanaście tysięcy). Przy wartościach przenikalności powyżej 80 powstają znane komplikacje związane z brakiem możliwości spełnienia warunków quasi-stacjonarności lub ze zbyt małą częścią energii, która przenika wewnątrz próbki. Ponieważ wszystkie metody pomiaru właściwości dielektryków bazują na oddziaływaniu wzajemnym pola elektromagnetycznego z materiałem badanym, to dla realizowalności pomiaru przenikalności ferroelektryków konieczne jest zabezpieczenie

skutecznego oddziaływania pola z próbką. Przy badaniach właściwości nieliniowych ferroelektryków, oprócz pola mikrofalowego, do próbki przykładane jest stałe pole elektryczne, którego natężenie powinno zmieniać się w bardzo szerokim zakresie (na przykład, od zera do kilku kV).

Metody pomiarowe właściwości ferroelektryków w zakresie fal niskich częstotliwości zasadniczo nie różnią się od metod pomiarów konwencjonalnych materiałów, których sposoby badania zostały omówione powyżej. Niektóre techniczne różnice polegają na tym, że przy pomiarach ferroelektryków konieczny jest szczególny kontakt pomiędzy powierzchnią próbki i kondensatora pomiarowego.

W zakresie fal wielkich częstotliwości istotne znaczenie ma spełnienie warunków quasi-stacjonarności nakładających bezwzględne ograniczenia na promień R próbki quasi-stacjonarnego kondensatora, który jest związany z długością fali λ w następujący sposób

$$R \leq \frac{0,24 \cdot \lambda}{2\pi \cdot \sqrt{\epsilon}} \quad (2)$$

Oprócz tego, w czasie badań materiałów ferroelektrycznych, których właściwości mogą być silnie uzależnione od temperatury, konieczne jest wykorzystywanie małych poziomów mocy, nie wywołujących nagrzewania próbki lub stosowanie impulsowego trybu pracy generatora.

W przedstawionej pracy do pomiarów przenikalności ferroelektryka została wykorzystana linia paskowa, której podłoże stanowił badany materiał. Opisana metoda nie znalazła wcześniej zastosowania ze względu na znane trudności w wytwarzaniu próbek ferroelektrycznych o znacznych wymiarach, tzn. niekorzystnym stosunku szerokości i długości próbki do jej grubości (trzy do czterech rzędów wielkości) z punktu widzenia tradycyjnych metod otrzymywania spieków polikrystalicznych. Dopiero zastosowanie kompozytu ceramiczno-polimerowego pozwoliło na otrzymanie próbek o założonej geometrii, co pozwoliło na skuteczne wykorzystanie metody linii transmisyjnej.

2. KOMPOZYTY CERAMICZNO-POLIMEROWE

Kompozyty ceramiczno polimerowe stanowią homogeniczną mieszaninę fazy ceramicznej i fazy polimeru organicznego. W danym przypadku polimer stanowił fazę ciągłą — matrycę, w której w sposób dyskretny zdyspergowane zostały ziarna tworzywa ceramicznego (ferroelektryka).

Podstawowym materiałem ferroelektrycznym stosowanym w przeprowadzonych badaniach były tworzywa oparte na modyfikowanym różnego rodzaju dodatkami tytanianem baru lub roztworze stałym tytanianu baru i strontu ($\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$). Tytanian baru jako podstawowe ceramiczne tworzywo ferroelektryczne bardzo rzadko stosowane jest w postaci czystej. Wiele jego parametrów ulega korzystnym zmianom, jeśli

wprowadza się do niego niewielkie domieszki różnego typu substancji (np. tlenki żelaza, niklu czy manganu). Domieszki te powinny tworzyć roztwór stały z tytanianem barowym lub też modyfikować granice międzyziarnowe w polikrystalicznym spieku ceramicznym. Czysty tytanian barowy charakteryzuje się temperaturą Curie w granicach 120–127°C. Poprzez zmianę składu roztworu stałego oraz wprowadzenie niewielkich ilości domieszek możliwe jest jednak obniżenie tej temperatury nawet do –95°C. W przypadku zastosowania tego typu materiałów do budowy anten i innych przyrządów działających w zakresie mikrofalowym, byłoby to niezwykle korzystne z powodu tego, że zakres temperatury ich stosowania wynosi na ogół $-40^{\circ} + 60^{\circ}\text{C}$, czyli w zakresie ich właściwości paraelektrycznych. Innym parametrem umożliwiającym sterowanie właściwościami roztworów stałych opartych na tytanianie baru są warunki syntezy tego typu materiału. Poprzez dobór temperatury i czasu syntezy sterować można zarówno stopniem przereagowania jak i składem fazowym uzyskanych tworzyw ceramicznych. Tworzące się podczas syntezy różnego rodzaju związki chemiczne charakteryzują się różnymi właściwościami (ϵ , $\text{tg}\delta$), a więc i w ten sposób można uzyskać materiały możliwe do zastosowania w zakresie mikrofalowym. Kolejnym możliwym do sterowania parametrem jest temperatura i czas spiekania syntezowanych w reakcji w fazie stałej materiałów dielektrycznych. Natomiast obróbka tworzywa po syntezie pozwala uzyskać materiał proszkowy o założonym kształcie ziaren, wielkości i rozkładzie wielkości.

Ciągła faza polimerowa pozwala nie tylko kształtować geometrię próbek. Poprzez zmianę objętościowego stosunku proszku ceramicznego do polimeru można wpływać na przenikalność i stratność dielektryczną kompozytu proszek ceramiczny-polimer. Istotny jest również dobór lub też synteza takich polimerów, których temperatura zeszklenia byłaby niższa niż -40°C , a przy tym wykazywałyby dobre właściwości adhezyjne w stosunku do ziaren proszku ceramicznego.

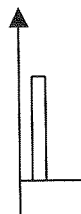
Wśród często stosowanych tworzyw polimerowych można wymienić alkohol poliwinylowy uplastyczniony gliceryną czy glikolem polietylenowym, termoplastyczny butyral poliwinylowy w kompozycji z ftalanami, polistyren, polimetakrylany, czy chlorek poliwinylowy.

Do badań zastosowano warstwy kompozytowe otrzymane z proszku $\text{Ba}_{0,65}\text{Sr}_{0,35}\text{TiO}_3$ syntezowanego w reakcji w fazie stałej w zakresie temperatur 1150–1350°C i w czasie od 0,5 do 5 h. W celu modyfikacji jego parametrów elektrycznych domieszkowano go tlenkami niklu, manganu i żelaza w ilości od 0,5 do 5 %wag. Odpowiedni do zastosowania rozmiar ziarna uzyskiwano poprzez zmielenie spieczonego proszku w laboratoryjnym młynku kulowym. Kompozytowe warstwy ceramiczno-polimerowe projektowano w ten sposób, że objętość proszku ferroelektrycznego wynosiła od 75 do 97,5% obj., natomiast objętość polimeru od 2,5 do 25% obj. Grubość warstwy kompozytu zmieniano w zakresie od 100 do 500 μm .

Przeprowadzono także badania nad doбором rodzaju polimeru umożliwiającego uzyskanie kompozytu o odpowiednich do tego zastosowania parametrach. Najistotniejszymi parametrami, jakimi powinien charakteryzować się taki polimer, to jego wytrzymałość mechaniczna i odpowiednia elastyczność pozwalająca na swobodne opero-

wanie z
przewo
param

Po
na por
próbki
ność p
osiaga
elektry
dając
mogą
odbior
Z
pomiar
sowa z
szkie z



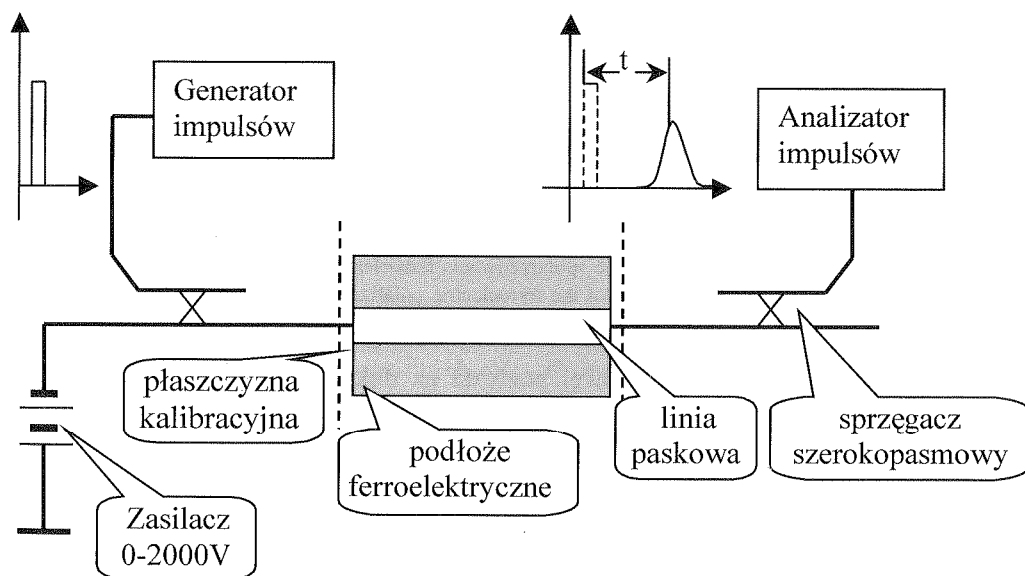
Z
impul

wanie zarówno otrzymanymi warstwami kompozytu jak i nanoszeniem tych warstw na przewodzące podłoże metaliczne. Spośród wielu przebadanych polimerów najlepszymi parametrami charakteryzowały się polistyren i poliwinylowy butyral.

3. IMPULSOWA METODA POMIARU FERROELEKTRYKÓW

Pomiar parametrów materiałowych przy pomocy metody linii transmisyjnej polega na pomiarze współczynnika odbicia lub transmisji przewodnicy falowej zawierającej próbkę badanego materiału. Podstawową wadą takiego rozwiązania jest mała dokładność pomiaru wynikająca z faktu, że przenikalność elektryczna ferroelektryka może osiągać bardzo duże wartości, a także ich starty mogą być znaczne. Duża przenikalność elektryczna powoduje to, że prawie cała moc mikrofalowa odbija się od czoła próbki nie dając dostatecznej informacji o parametrach badanego materiału. Duże straty, które mogą występować w ferroelektryku, powodują, że bardzo mała moc dociera do odbiornika niosąc skąpą informację o materiale.

Z tego punktu widzenia interesującym jest wykorzystanie impulsowej metody pomiaru właściwości ferroelektryków. W odniesieniu do ferroelektryków metoda impulsowa została po raz pierwszy zastosowana w niniejszej pracy. Na rys. 1 przedstawiony szkic zaproponowanego stanowiska pomiarowego.



Rys. 1. Szkic stanowiska pomiarowego

Fig. 1. Draft of the measuring device

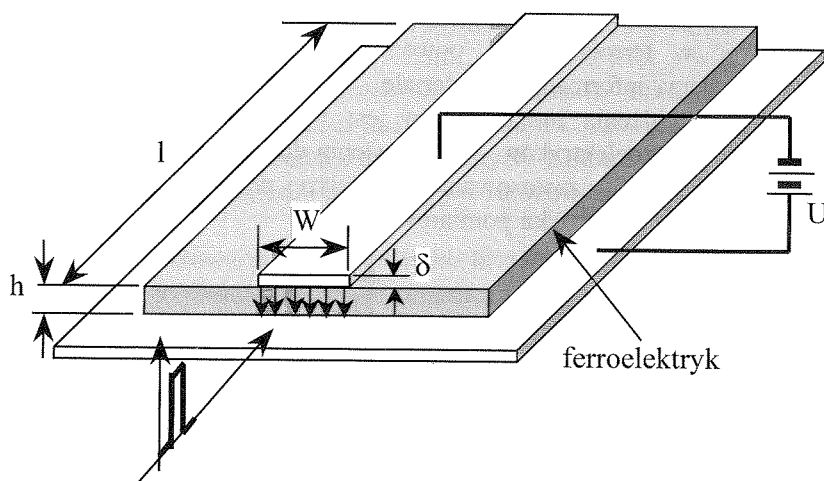
Zaproponowana metoda polega na tym, że przeprowadza się pomiar opóźnienia impulsu t po przejściu przez odcinek linii paskowej o długości l , której podłoże jest

wypełnione ferroelektrykiem. Przenikalność dielektryczna może być obliczona w tym przypadku ze wzoru

$$\varepsilon = \left(\frac{t \cdot c}{l} \right)^2 \quad (3)$$

gdzie c jest szybkość światła w próżni.

Wykorzystanie sprzęgaczy uwarunkowane jest z jednej strony zabezpieczeniem aparatury pomiarowej przed wysokim napięciem. Z drugiej zaś strony konieczne jest wykorzystanie sprzęgaczy szerokopasmowych dla zmniejszenia zniekształcenia kształtu impulsu. Stałe napięcie stosuje się do spolaryzowania ferroelektryka w sposób pokazany na rys. 2.



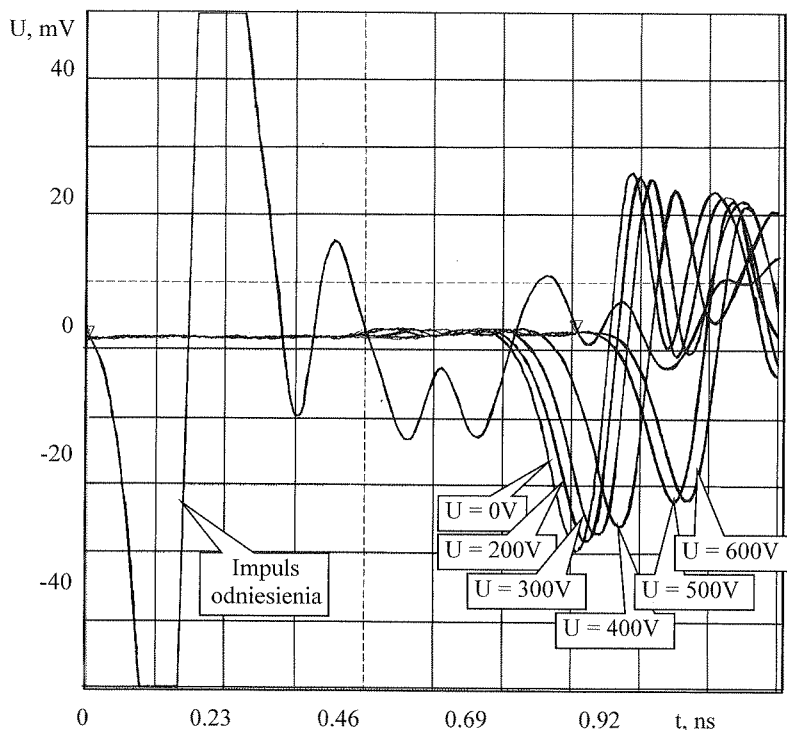
Rys. 2. Sposób spolaryzowania ferroelektryka
Fig. 2. Way of the ferroelectric polarization

Wykorzystanie metody impulsowej pozwala na dokładne określenie czasu opóźnienia impulsu bez względu na dopasowanie linii paskowej, co stwarza możliwość obliczenia przenikalności materiału, ale nie pozwala oszacować strat. Ze względu na fakt, że przenikalność materiału badanego nie jest znana na początku badań, to podejście może być bardzo użyteczne. Kolejnym krokiem może być dopasowanie linii paskowej i oszacowanie strat, przez zmianę amplitudy impulsu.

W niniejszej pracy zostały przeprowadzone badania wstępne przenikalności nowych rodzajów materiałów ferroelektrycznych. Na rys. 3 pokazano czasowe zależności amplitudy impulsów (na wejściu i wyjściu badanej linii paskowej). Czas opóźnienia impulsu t wyznaczany jest przez obliczenie różnicy między czasem pojawienia się impulsu na wyjściu i wejściu linii. Przy tym czas pojawienia się impulsu na wyjściu linii jest uzależniony od napięcia polaryzacji. Porównanie badanych ferroelektryków z punktu

widze
wanie

gdzie
napięc
 $t_{\max} =$
W
ryczne
przeds



Rys. 3. Czasowe zależności amplitudy impulsów na wejściu i wyjściu badanej linii paskowej

Fig. 3. Input and output temporal dependences of the pulses magnitude of the microstrip line

widzenia możliwości sterowania przenikalnością elektryczną jest możliwe przez oszacowanie współczynnika sterowania w postaci

$$\Delta \varepsilon = \frac{((t_w - t_o)^2 - (t_w - t_u)^2)}{(t_w - t_{\max})^2} \cdot 100\% \quad (4)$$

gdzie t_o , t_u są czasami pojawienia się impulsu na wyjściu linii odpowiednio przy napięciu polaryzacji równym 0 lub U ; t_w jest czas pojawienia się impulsu odniesienia; $t_{\max} = \max(t_o, t_u)$.

W związku z tym skuteczna względna przenikalność elektryczna podłoża ferroelektrycznego linii paskowej (zmieniająca się w funkcji napięcia polaryzacji) może być przedstawiona za pomocą zależności

$$\varepsilon_{sk}(U) = \left(\frac{(t_w - t_u) \cdot c}{l} \right)^2 \quad (5)$$

Natomiast bezwzględna wartość przenikalności elektrycznej materiału ferroelektrycznego wyznaczona jest znaną metodą dla danych wartości szerokości linii W , grubości przewodnika linii paskowej δ oraz grubości podłoża h .

4. WYNIKI BADAŃ EKSPERYMENTALNYCH

W tabeli 1 przedstawione są czasy opóźnienia (zgodnie z rys. 3) dla warstwy kompozytowej ferroelektryka $\text{Ba}_{0,75}\text{Sr}_{0,35}\text{TiO}_3$ o grubości $h=0,1$ mm i długości $l=100$ mm (próbka T10-A).

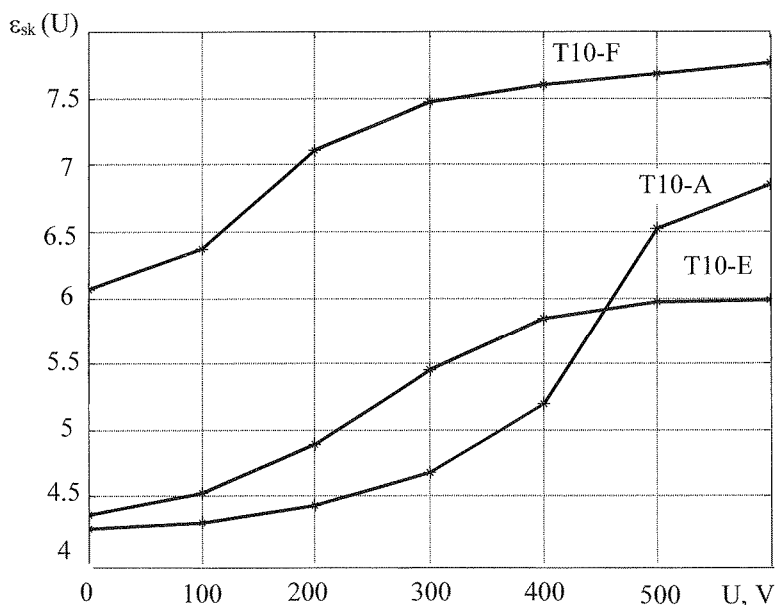
Tabela 1

Czas opóźnienia jako funkcja napięcia polaryzacji

Time delay as function polarization voltage

U, V	0	200	300	400	500	600
t, ns	0,6875	0,7015	0,7215	0,7595	0,8515	0,8725

Uzyskany współczynnik sterowania w przedstawionym przypadku wynosi 37%. Odpowiada on wartościom znanym z literatury [4] dla ferroelektryków ceramicznych o dużych wartościach absolutnej przenikalności elektrycznej. Zsyntezowane i badane kompozyty ceramiczno polimerowe charakteryzują się znacznie mniejszymi wartościami



Rys.4. Zmiana skutecznej przenikalności elektrycznej pod wpływem napięcia polaryzacji

Fig.4. Change of the effective permittivity as function polarization voltage

przenikalności elektrycznej przy porównywalnym współczynniku sterowania. Takie zachowanie badanych tworzyw jest bardzo użyteczne w technice antenowej przy wykorzystaniu ich w postaci podłoży anten paskowych oraz podzespołów antenowych. Na rys. 4 przedstawione są skuteczne przenikalności elektryczne trzech próbek ceramiczno-polimerowych.

Współczynniki sterowania dla próbek T10-F i T10-E wynoszą odpowiednio 28% i 22%. Otrzymane wyniki są obiecujące oraz pozwalają rozpatrywać możliwość stosowania badanych materiałów do realizacji nowych sterowanych rodzajów anten i szyków antenowych. Należy zauważyć także, że charakter zmian przenikalności elektrycznej badanych materiałów ceramiczno-kompozytowych (w zależności od napięcia polaryzacji) jest wzrastający. Natomiast z drugiej strony charakter zmian przenikalności ceramiki ferroelektrycznej (znany ze źródeł literaturowych [5]) jest spadający. Do tej pory w literaturze światowej nie podano danych o materiałach kompozytowych ceramiczno-polimerowych. Wiadomo tylko, że wprowadzenie do proszku dielektryka polimeru powoduje istotne zmiany właściwości materiału [6].

5. PODSUMOWANIE

W pracy została przedstawiona impulsowa metoda do pomiarów parametrów materiałów ceramiczno-polimerowych, przydatnych dla zastosowań w zakresie mikrofal. Przeprowadzono także badania kompozytowych warstw ceramiczno-polimerowych zawierających modyfikowany ceramiczny proszek ferroelektryczny typu $\text{Ba}_{0,65}\text{Sr}_{0,35}\text{TiO}_3$ oraz odpowiedni polimer, w którym w sposób dyskretny rozproszone zostały ziarna tego proszku. Otrzymane współczynniki przestrajania skutecznej przenikalności elektrycznej pozwalają stwierdzić, że warstwy takie nadają się do opracowania nowych typów anten oraz podzespołów mikrofalowych.

6. BIBLIOGRAFIA

1. J. B. L. Rao, D. P. Patel, V. Krichevsky: *Voltage-Controlled Ferroelectric Lens Phased Arrays*. IEEE Trans. Antennas and Propagation, 1999, AP-47, nr 3, pp. 458–468.
2. V. K. Varadan, D. K. Ghodgaonkar, V. V. Varadan, J. F. Kelly, P. Glikerdas: *Ceramic Phase Shifters for Electronically Steerable Antenna Systems*. Microwave Journal, 1992, MJ-35, nr 1, pp. 116–127.
3. Y. Yashchyshyn, J. Modelski: *The Leaky-Wave Antenna With Ferroelectric Substrate*. IX Intern. Conf. On Microwaves, Radar and Wireless Communications MIKON'2002, Conference Proceedings, Gdansk (Poland), May 20-22, 2002, pp. 218–221.
4. Sengupta, et al.: *Ceramic ferroelectric composite material — BSTO-ZrO.sub.2.*: USA Patent C04B 035/49, January 23, 1996.
5. B. York, J. Pond: *Ferroelectric Materials and Microwave Applications*. Workshop Notes, 2000 IEEE MTT-S International Microwave Symposium, Boston (USA), 16 June 2000.
6. O. V. Vdovychenko, et al.: *The Dielectric properties Alumina/Polypropylene Materials*. International conference „Advanced ceramics for Third Millennium”, Kiev (Ukraine), November 5 — 9, 2001.

Y. YASHCHYSHYN, M. SZAFRAN, J. MODELSKI, E. BOBRYK

INVESTIGATION OF THE FERROELECTRIC MATERIALS BEHAVIOUR
IN MICROWAVE BAND

Summary

Pulse method for microwave measurement of the ceramic-polymer materials parameters has been developed. Ceramic-polymer composite substrates with modified ferroelectric powder $\text{Ba}_{0.65}\text{Sr}_{0.35}\text{TiO}_3$ and appropriate polymer (grains of the powder have been sprayed into polymer with specific method) have been also investigated. The powder $\text{Ba}_{0.65}\text{Sr}_{0.35}\text{TiO}_3$ has been synthesized at the temperature range 1150–1350°C/3h and admixture (from 0,5% to 3%) of oxides of nickel or manganese or iron have been added. The ferroelectric powder after being granulated (into grinder) according to desired size (1–5 μm) has been utilized in order to obtain ceramic-polymer films. The substrates of the ceramic-polymer composite have been designed such that volume of the ferroelectric powder was from 75% to 97,5%. However, volume of the polymer was at the range from 2,5 to 25%. Thickness of the composite layer has been chosen from 100 to 500 μm .

The type of the polymer required for obtaining the composite with desired parameters has been also investigated. Main properties of the composite are mechanical resistance and flexibility. They permit to operate easy with obtained substrate and cover conductive plane with it. The polystyrene and polyvinyl butyral are the best among many investigated polymers.

The proposed pulse method for microwave measurement of the ceramic-polymer materials parameters is based on measurement of the pulse delay t after pulse passed of the microstrip line fragment. The substrate of the microstrip line is realized with ferroelectric material. Utilizing this pulse method permits to accurately define the pulse delay without matched to microstrip, but it does not permit to assign losses.

Because permittivities of the investigated materials are primarily unknown this way might be very useful. Microstrip line can be matched and the losses can be determined by changing pulse magnitudes.

Obtained results (e.g. tuning ability coefficient of the effective permittivity) show that ceramic-polymer substrate can be utilized in designing new type of antennas and microwave devices.

Keywords: pulse method measurement, ferroelectric materials, ceramic-polymer composite.

Redakcj
szeroko
mem K
znajdują
cji, mikr
Artykuł
metod),
Artykuł
i Teleko
Objętoś

Wymag
Artykuł
w forma
w wiers
powinna
Układ a
– Tytuł
– Auton
– Miejs
– Zwię
klucz
– Tekst

– Układ
A
T
Obszer
a.
b.

Streszc
względ
w pods
– Wsz

Sposób
Tekst p
podkre

KWARTALNIK ELEKTRONIKI I TELEKOMUNIKACJI

INFORMACJE DLA AUTORÓW

Redakcja przyjmuje do publikowania prace oryginalne, przeglądowe i monograficzne wchodzące w zakres szeroko pojętej elektroniki. Ponieważ KWARTALNIK ELEKTRONIKI I TELEKOMUNIKACJI jest czasopismem Komitetu Elektroniki i Telekomunikacji Polskiej Akademii Nauk, w związku z tym na jego łamach znajdują się prace naukowe dotyczące podstaw teoretycznych i zastosowań z zakresu elektroniki, telekomunikacji, mikroelektroniki, optoelektroniki, radiotechniki i elektroniki medycznej.

Artykuły powinny charakteryzować oryginalne ujęcie zagadnienia, własna klasyfikacja, krytyczna ocena (teorii lub metod), omówienie aktualnego stanu, lub postępu danej gałęzi techniki oraz omówienie perspektyw rozwojowych. Artykuły publikowane w innych czasopismach nie mogą być kierowane do druku w Kwartalniku Elektroniki i Telekomunikacji w drugiej kolejności zgłoszenia.

Objętość artykułu nie powinna przekraczać 30 stron po około 1800 znaków na stronie, w tym rysunki i tabele.

Wymagania podstawowe.

Artykuły należy nadsyłać na wyraźnym, jednostronnym, czarno-białym wydruku komputerowym. Wydruk w formacie A4 powinien mieć znormalizowaną liczbę wierszy i znaków w wierszu (30 wierszy po 60 znaków w wierszu), w dwóch egzemplarzach, w języku polskim lub angielskim wybranym przez autora. Do wydruku powinna być dołączona dyskietka z elektronicznym tekstem artykułu. Preferowane edytory to WORD 6 lub 8. Układ artykułu (w wersji podstawowej) musi być następujący:

- Tytuł.
- Autor (imię i nazwisko autora/ów).
- Miejsce pracy (nazwa instytucji, miejscowość, adres, + ew. adres elektroniczny (e-mail)).
- Zwięzłe streszczenie powinno być w języku takim, w jakim jest pisany artykuł (wraz ze słowami kluczowymi).

- Tekst podstawowy powinien mieć następujący układ:

1. WPROWADZENIE
2. np. TEORIA
3. np. WYNIKI NUMERYCZNE
- 3.1.
- 3.2.
4.
5.
6. PODSUMOWANIE
7. ew. PODZIĘKOWANIE
8. BIBLIOGRAFIA

- Układ streszczenia w dodatkowej wersji językowej powinien być następujący;

AUTOR (inicjał imienia i nazwisko).

TYTUŁ (w języku angielskim – o ile artykuł pisany jest w języku polskim i na odwrot),

Obszerne do 3600 znaków streszczenie (wraz z słowami kluczowymi) w języku:

- a. angielskim, gdy artykuł pisany jest w języku polskim,
- b. polskim, gdy artykuł pisany jest w języku angielskim.

Streszczenie to powinno pozwolić czytelnikowi na uzyskanie istotnych informacji zawartych w pracy. Z tego względu w streszczeniu tym mogą być cytowane numery istotnych wzorów, rysunków i tabel zawartych w podstawowej wersji językowej.

- Wszystkie strony muszą mieć numerację ciągłą.

Sposób pisania tekstu.

Tekst powinien być pisany bez używania wyróżnień, a w szczególności nie dopuszcza się spacjowania, podkreślania i pisania tekstu dużymi literami z wyjątkiem wyrazów, które umownie pisze się dużymi literami

(np. FORTRAN). Proponowane wyróżnienia Autor może zaznaczyć w maszynopisie zwykłym ołówkiem za pomocą przyjętych znaków adiustacyjnych np. podkreślenie linią przerywaną oznacza spacje (rozstrzelanie), podkreślenie linią ciągłą – pogrubienie, podkreślenie wężykiem – kursywa. Tekst powinien być napisany z podwójnym odstępem między wierszami, tytuły i podtytuły małymi literami. Marginesy z każdej strony powinny mieć około 35 mm. Wielkość czcionki wydruku powinna być zbliżona co najmniej do wielkości czcionki maszyny do pisania (minimum 12 punktów). Przy podziale pracy na rozdziały i podrozdziały cyfrowe ich oznaczenia nie powinny być większe niż III stopnia (np. 4.1.1.).

Sposób pisania tabel.

Tabele powinny być pisane na oddzielnych stronach. Tytuły rubryk pionowych i poziomych powinny być napisane małymi literami z podwójnym odstępem między wierszami. Przypisy (notki) dotyczące tabel należy pisać bezpośrednio pod tabelami. Tabele należy numerować kolejno liczbami arabskimi, u góry każdej tabeli podać tytuł dwujęzyczny. W pierwszej kolejności w podstawowej wersji językowej, a później w dodatkowej wersji językowej. Tabele umieścić na końcu maszynopisu. Przyjmowane są tabele algorytmów i programy na wydrukach komputerowych. W tym przypadku zachowany jest ich oryginalny układ. Tabele powinny być cytowane w tekście.

Sposób pisania wzorów matematycznych.

Rozmieszczenie znaków, cyfr, liter i odstępów powinno być zbliżone do rozmieszczenia elementów druku. Wskaźniki i wykładniki potęg powinny być napisane wyraźnie i być prawidłowo obniżone lub podwyższone w stosunku do linii wiersza podstawowego. Znaki nad literami i cyframi, całkami i in. symbolami (strzałki, linie, kropki, daszki) powinny być umieszczone dokładnie nad tymi elementami, do których się odnoszą. Numery wzorów cyframi arabskimi powinny być kolejne i umieszczone w nawiasach okrągłych z prawej strony. Nazwy jednostek, symbole literowe i graficzne powinny być zgodne w wytycznymi IEE (International Electrotechnical Commission) oraz ISO (International Organization of Standardization).

Powołania.

Powołania na publikacje powinny być umieszczone na ostatnich stronach tekstu pod tytułem „Bibliografia”, opatrzone numeracją kolejną bez nawiasów. Numeracja ta powinna być zgodna z odnośnikami w tekście artykułu. Przykłady opisu publikacji:

- periodyczne 1. F. Valdoni: A new milimetre wave satelite. E.T.T. 1990, vol. 2, no 5, pp. 141–148
- nieperiodyczne 2. K. Andersen: A resource allocation framework. XVI International Symposium, Stockholm (Sweden), may 1991, paper A 2.4
- książki 3. Y.P. Tvidis: Operation and modeling of the MOS transistors. New York, McGraw-Hill, 1987, p. 553

Materiały ilustracyjne.

Rysunki powinny być wykonane wyraźnie, na papierze gładkim lub milimetrowym w formacie nie mniejszym niż 9×12 cm. Mogą być także w postaci wydruku komputerowego (preferowany edytor Corel Draw). Fotografie lub diapozytywy przyjmowane są raczej czarno-białe w formacie nie przekraczającym 10×15 cm. Na marginesie każdego rysunku i na odwrocie fotografii powinno być napisane ołówkiem imię i nazwisko Autora oraz skrót tytułu artykułu, do którego są przeznaczone oraz numer rysunku. Spis podpisów pod rysunki i fotografie powinien być umieszczony na oddzielnej stronie. Podpisy pod rysunkami (fotografiami) powinny być dwujęzyczne: w pierwszej kolejności w podstawowej wersji językowej, a później w dodatkowej wersji językowej. Rysunki powinny być cytowane w tekście.

Uwagi dodatkowe.

Na odrębnej stronie powinny być podane następujące informacje:

- adres do korespondencji z kodem pocztowym (domowy lub do miejsca pracy),
- telefon domowy i/lub do miejsca pracy,
- adres e-mailowy (jeśli autor posiada).

Autorowi przysługuje bezpłatnie 20 odbitek artykułu. Dodatkowe egzemplarze odbitek, lub cały zeszyt Autor może zamówić u wydawcy na własny koszt.

Autora obowiązuje korekta autorska, którą powinien wykonać w ciągu 3 dni od daty otrzymania tekstu z Redakcji oraz zwrócić osobiście, lub listownie pod adres Redakcji. Korekta powinna być naniesiona na przekazanych Autorowi szpaltach na marginesach ew. na osobnym arkuszu w przypadku uzupełnień tekstu większych niż dwa wiersze. W przypadku nie zwrócenia korekty w terminie, korektę przeprowadza Redakcja Techniczna Wydawcy.

Redakcja prosi Autorów o powiadomienie ją o zmianie miejsca pracy i adresu prywatnego.

INFORMATION FOR AUTHORS OF K.E.T

The editorial staff will accept for publishing only original monographic and survey papers concerning widely understood electronics. Because of the fact that KWATRALNIK ELEKTRONIKI I TELEKOMUNIKACJI is a journal of the Committee for Electronics and Telecommunications of Polish Academy of Science, it presents scientific works concerning theoretical bases and applications from the field of electronics, telecommunications, microelectronics, optoelectronics, radioelectronics and medical electronics.

Articles should be characterised by original depiction of a problem, its own classification, critical opinion (concerning theories or methods), discussion of an actual state or a progress of a given branch of a technique and discussion of development perspectives.

An article published in other magazines can not be submitted for publishing in K.E.T.

The size of an article can not exceed 30 pages, 1800 character each, including figures and tables.

Basic requirements

The article should be submitted to the editorial staff as a one side, clear, black and white computer printout in two copies. The article should be prepared in English or Polish. Floppy disc with an electronic version of the article should be enclosed. Preferred wordprocessors: WORD 6 or 8.

Layout of the article.

- Title.
- Author (first name and surname of author/authors).
- Workplace (institution, address and e-mail).
- Concise summary in a language article is prepared in (with keywords).
- Main text with following layout:
 - Introduction
 - Theory (if applicable)
 - Numerical results (if applicable)
 - Paragraph 1
 - Paragraph 2
 -
 -
 - Conclusions
 - Acknowledgements (if applicable),
 - References
- Summary in additional language:
 - Author (first name initials and surname)
 - Title (in Polish, if article was prepared in English and vice versa)
 - Extensive summary, however not exceeding 3600 characters (along with keywords) in Polish, if article was prepared in English and vice versa). The summary should be prepared in a way allowing a reader to obtain essential information contained in the article. For that reason in the summary author can place numbers of essential formulas, figures and tables from the article.

Pages should have continuous numbering.

Main text

Main text can not contain formatting such as spacing, underlining, words written in capital letters (except words that are commonly written in capital letters). Author can mark suggested formatting with pencil on the margin of the article using commonly accepted adjusting marks.

Text should be written with double line spacing with 35 mm left and right margin. Titles and subtitles should be written with small letters. Titles and subtitles should be numbered using no more than 3 levels (i.e. 4.1.1.).

Tables

Tables with their titles should be placed on separate page at the end of the article. Titles of rows and columns

should
directly
consist
should

Mathematics
Characteristics
should
arrows,
with Ar
symbols
(Internat

References
References
numbers
non-per
1. F. V.
2. K. A.
1991
3. Y.P.

Figures
Figures
can be a
white fo
author n
language
should b

Additional
On the s
- mailin
- phone
- e-mail
Author i
ordered a
Author is
from the
stuff pers
editorial
correction
In case o

should be written in small letters with double line spacing. Annotations concerning tables should be placed directly below the table. Tables should be numbered with Arabic numbers on the top of each table. Table can consist algorithm and program listings. In such cases original layout of the table will be preserved. Table should be cited in the text.

Mathematical formulas

Characters, numbers, letters and spacing of the formula should be adequate to layout of main text. Indexes should be properly lowered or raised above the basic line and clearly written. Special characters such as lines, arrows, dots should be placed exactly over symbols which they are attributed to. Formulas should be numbered with Arabic numbers place in brackets on the right side of the page. Units of measure, letter and graphic symbols should be printed according to requirements of IEE (International Electronical Commission) and ISO (International Organisation of Standardisation).

References

References should be placed at the end of the main text with the subtitle „References”. References should be numbered (without brackets) adequately to references placed in the text. Examples of periodical [1], non-periodical [2] and book [3] references:

1. F. Valdoni: A new millimetre wave satellite. E.T.T. 1990, vol.2, no 5, pp. 141–148
2. K. Anderson: A resource allocation framework. XVI International Symposium, Stockholm (Sweden), May 1991. paper A 2.4
3. Y.P. Tvidis: Operation and modelling of the MOS transistors. New York, McGraw-Hill, 1987, p. 553

Figures

Figures should be clearly drawn on plain or millimetre paper in the format not smaller than 9×12 cm. Figures can be also printed (preferred editor – CorelDRAW). Photos or diapositives will be accepted in black and white format not greater than 10×15 cm. On the margin of each drawing and on the back side of each photo author name and abbreviation of the title of article should be placed. Figure's captures should be given in two languages (first in the language the article is written in and then in additional language). Figure's captures should be also listed on separate page. Figures should be cited in the text.

Additional information

On the separate page following information should be placed:

- mailing address (home or office),
- phone (home or/and office),
- e-mail.

Author is entitled to free of charge 20 copies of article. Additional copies or the whole magazine can be ordered at publisher at the author's expense.

Author is obliged to perform the author's correction, which should be accomplished within 3 days starting from the date of receiving of the text from the editorial staff. Corrected text should be returned to the editorial staff personally or by mail. Correction marks should be placed on the margin of copies received from the editorial staff or if needed on separate pages. In the case when the correction is not returned in said time limit, correction will be performed by technical editorial staff of the publisher.

In case of changing of workplace or home address Authors are asked to inform the editorial staff.

Subscription for external subscribers:

The promotional subscription price in 2003 is \$ 140 including postage for institutions. At subscriber's request this journal will be air maild at additional postage to 50% dross proce to European countries nad 65% overseas.

- Foreign Trade Enterprise ARS Polona, Krakowskie Przedmieście 7, 00-068 Warszawa, Poland,
- RUCH S.A. tel. (4822) 53-28-819, 53-28-823, fax 53-28-731.

Pragnę Państwa zawiadomić, że można już zamawiać prenumeratę czasopism naukowych w Wydawnictwie Naukowym PWN. Z pewnością usprawni to obsługę prenumeratorów i pozwoli zebrać informacje o czytelnikach.

Zamówienia można składać telefonicznie pod numerami (022) 695-42-74, (022) 695-40-47, przysłać faksem pod nr (022) 695-42-70, lub listownie (wzór zamówienia jest dostępny w Dziale Publikacji Zleconych Wydawnictwa Naukowego S.A.).